

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-224696

(43)公開日 平成10年(1998)8月21日

(51)Int.Cl.<sup>6</sup>  
H 0 4 N 5/335  
H 0 1 L 27/146

識別記号

F I  
H 0 4 N 5/335  
H 0 1 L 27/14

Z  
A

審査請求 未請求 請求項の数30 O.L (全 37 頁)

(21)出願番号 特願平9-19398

(22)出願日 平成9年(1997)1月31日

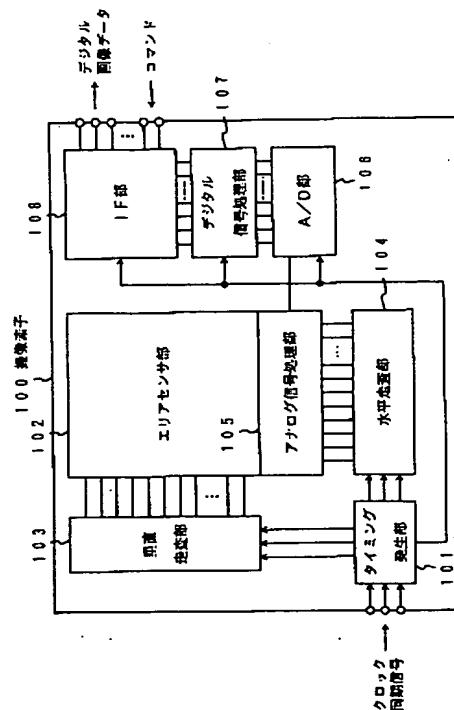
(71)出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72)発明者 梅田 昌文  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
(72)発明者 嵩 比呂志  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 固体撮像素子及びこの固体撮像素子を用いる画像システム

(57)【要約】

【課題】高機能なCMOS型の固体撮像素子を提供すること。

【解決手段】CMOSプロセスを使用した各種の機能回路を撮像素子内に形成したCMOSセンサ応用の固体撮像素子100であり、固体撮像素子内の画素選択部103、105、あるいは信号処理部107に複数のモードを持ち、インターフェイス部108に外部からのコマンドを入力する機能を持ち、この固体撮像素子を用いるシステムのコマンドによってモードの選択を行い、システムに適した出力を行うことができる構成とする。



## 【特許請求の範囲】

【請求項1】光電変換を行う画素を2次元状に配列したエリアセンサ部と、このエリアセンサ部の画素を選択し、画像信号を読み出す画素選択部と、画素から読み出した画像信号を信号処理するアナログ信号処理部と、この処理された信号をデジタル信号に変換するアナログ-デジタル変換部と、このデジタル信号を所要の信号形式のデジタル信号にすべく信号処理するデジタル信号処理部と、このデジタル信号を外部に出力すると共に、外部からのコマンド信号の入力が可能で、かつ、コマンド対応の操作を行なうインターフェイス部と、からなる固体撮像素子。

【請求項2】前記信号処理部はそれぞれ異なる信号形式の複数の信号処理手段を備えると共に、前記インターフェイス部は、コマンド信号により、デジタル信号処理部の信号処理手段を選択切り替えする構成とすることにより、外部に出力する信号形式を変更可能にしたことを特徴とする請求項1の固体撮像素子。

【請求項3】デジタル信号処理部は、動画像信号処理を行うと共に、この動画像信号処理は、動きベクトル検出する機能を含むことを特徴とする請求項1の固体撮像素子。

【請求項4】エリアセンサ部の各光電変換部には、カラー画像データを得るべく、色フィルタを設けた構造とすると共に、この動きベクトルの検出には、特定の色フィルタ対応の光電変換部の出力画像データを用いることを特徴とする請求項3の固体撮像素子。

【請求項5】動きベクトルデータを、外部に出力する構成とすることを特徴とする請求項3の固体撮像素子。

【請求項6】インターフェイス部に設けられた外部への画像データ出力信号線は、動きベクトルデータ出力信号線を兼ねることを特徴とする請求項5の固体撮像素子。

【請求項7】デジタル信号処理部は、動きベクトル検出機能により、画像に動きを検出したとき、動きがあったことを報知する信号発生機能を備えると共に、この報知信号を外部に出力する信号線を持つことを特徴とする請求項3の固体撮像素子。

【請求項8】請求項3の固体撮像素子を用いる携帯型の画像システムであって、手ぶれを検出する手ぶれセンサを内蔵することを特徴とする画像システム。

【請求項9】インターフェイス部に設けられた外部への画像データ出力信号線は、外部からのコマンド入力信号線を、兼ねることを特徴とする請求項1の固体撮像素子。

【請求項10】インターフェイス部には外部への画像データを出力する出力信号線を備えると共に、この出力信号線は外部からのコマンド入力信号線と、撮像素子内部のステータス情報出力信号線を兼ねることを特徴とする請

## 求項1の固体撮像素子。

【請求項11】光電変換を行う画素を2次元状に配列したエリアセンサ部と、エリアセンサ部の画素を選択し画像信号を読み出す画素選択部と、読み出した画像信号を信号処理するアナログ信号処理部と、このアナログ信号を外部に出力する出力部と、外部からのコマンド信号が入力が可能なインターフェイス部とからなる固体撮像素子。

【請求項12】コマンド信号により、外部にデジタル画像データを1フレーム出力する請求項1、あるいはコマンド信号により、外部にアナログ画像信号を1フレーム出力する請求項11の固体撮像素子。

【請求項13】固体撮像素子内において、常に有効蓄積動作を行なっていることを特徴とする請求項12の固体撮像素子。

【請求項14】固体撮像素子内において、コマンドの入力により、有効蓄積動作を開始する請求項12の固体撮像素子。

【請求項15】固体撮像素子内に、あらかじめ決められた秒あたりの複数の出力フレーム数設定手段を持ち、コマンドの入力により、この設定を切り替えることを特徴とする請求項1あるいは11の固体撮像素子。

【請求項16】請求項13、あるいは請求項14、あるいは請求項15の固体撮像素子を用いる画像システムであり、システム動作環境、あるいはバッテリの残量、あるいはユーザーからの指示により、適宜なる秒あたりのフレーム数を決定する手段を有し、かつ、この決定をコマンドにして固体撮像素子に与える手段を有することを特徴とする画像システム。

【請求項17】コマンド信号により、エリアセンサ部の画素の読み出し順序の変更可能な画素選択部を持つことを特徴とする請求項1あるいは11の固体撮像素子。

【請求項18】コマンド信号により、エリアセンサ部の読み出し画素を選択可能な画素選択部を持つことを特徴とする請求項1あるいは11の固体撮像素子。

【請求項19】コマンド信号により、電子シャッタ動作設定変更可能な画素選択部を持つことを特徴とする請求項1あるいは11の固体撮像素子。

【請求項20】電子シャッタの動作設定は、画素単位、あるいはライン単位、あるいはブロック単位で、それ別に設定可能であることを特徴とする請求項19の固体撮像素子。

【請求項21】インターフェイス部は、撮像素子内のステータス情報を、外部へ出力することを特徴とする請求項1あるいは11の固体撮像素子。

【請求項22】インターフェイス部に設けられた外部からのコマンド入力信号線は、外部へ出力するステータス情報出力信号線を兼ねることを特徴とする請求項21記載

の固体撮像素子。

【請求項23】撮像素子は、撮像素子自身の特性を表す素子情報を持ち、これをインターフェイス部より、外部に出力することを特徴とする請求項1あるいは11記載の固体撮像素子。

【請求項24】光電変換を行う画素を2次元状に配列したエリアセンサ部と、

画素を選択し画像信号を読み出す画素選択部と、

この読み出した画像信号を信号処理するアナログ信号処理部と、

この処理された信号をデジタル信号に変換するアナログ-デジタル変換部と、

このデジタル信号を信号処理するデジタル信号処理部と、

このデジタル信号を外部に出力するインターフェイス部からなる固体撮像素子であり、デジタル信号処理部内に動きベクトル検出機能を含むことを特徴とする固体撮像素子。

【請求項25】エリアセンサ部の各光電変換部には、カラー画像データを得るべく、色フィルタを設けた構造と共に、動きベクトルの検出には、特定の色フィルタ対応の光電変換部の出力画像データを用いることを特徴とする請求項24の固体撮像素子。

【請求項26】動きベクトルデータを、外部に出力することを特徴とする請求項24の固体撮像素子。

【請求項27】インターフェイス部に設けられた外部への画像データ出力信号線は、動きベクトルデータ出力信号線を兼ねることを特徴とする請求項26の固体撮像素子。

【請求項28】デジタル信号処理部は、その動きベクトル検出機能が、画像に動きを検出したとき、動きがあったことを報知する機能を備えると共に、この報知情報を外部に出力する信号線を持つことを特徴とする請求項24の固体撮像素子。

【請求項29】請求項24の固体撮像素子を用いる携帯型の画像システムであり、手ぶれセンサを内蔵することを特徴とする画像システム。

【請求項30】動き検出回路の出力に基づき、エリアセンサ部における電子シャッタ動作の設定を行う機能を備えたことを特徴とする請求項3あるいは請求項24の固体撮像素子。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、固体撮像素子の構成にかかわり、またこの固体撮像素子を使用するシステムにかかわるものである。

##### 【0002】

【従来の技術】固体撮像素子を用いたこれまでの画像入力システムは、動画をテープに記録するビデオカメラや監視カメラ、ビデオフロッピディスクやデジタルメモ

リ媒体に静止画を記録する電子カメラシステム、工業用のカメラなどで使用されており、これらのはほとんどがエリアCCDセンサを使用している。

【0003】エリアCCDセンサは、画素対応の光電変換素子を二次元配列させた光電変換部を持ち、この光電変換部に光学像を結像させることにより、当該光電変換部にて電荷となった信号を垂直転送CCDと水平転送CCDで、各画素の信号を順次読み出していくタイプである。

【0004】この他、固体撮像素子にはCMOS型のセンサがある。CMOSセンサは、垂直および水平転送にCCDを使用せず、メモリデバイスのようにアルミ線などで構成される選択線で選択された画素が読み出し線によって、読み出されるものである。CMOSセンサは、一時期、ビデオカメラ用に商品化されたこともあったが、CCDセンサよりノイズが大きいため、CCDセンサに駆逐された。

【0005】しかし、CMOSセンサには、CCDセンサにない特徴がある。例えば、CCDセンサがマルチ電源駆動であるのに対して、CMOSセンサは、シングル電源駆動であるという点である。

【0006】つまり、CCDセンサを駆動するには、たとえば+20[V]、+15[V]、-10[V]などと正負の複数の電源電位を必要とするのに比べて、CMOSセンサは、たとえば+5[V]単一電源というように、必要な電源電位が一つで済み、增幅回路や制御回路などの撮像システムを構成する他の回路と同じ電源電圧が使用できて、電源の数を減らすことができる。

【0007】また、CMOSセンサは、消費電力もCCDセンサに比べて小さくなる。

【0008】さらにCMOSセンサはもう一つ、CCDセンサにない特徴を持っている。それはセンサ上に、同じCMOS回路製造プロセスを用いて論理回路やアナログ回路、アナログデジタル変換回路などを形成し易いという点である。CMOSセンサ製造時に、CMOSセンサ上に、周辺回路や他の関連回路などを一緒に作成してしまうことの容易さは、良く知られており、その例として、試作品も学会において発表されている（例えば、1996年ISSCC）。

【0009】このようにCMOSセンサは、CCDセンサにない特徴があるが、これらの特徴を生かすには、使用するシステムに適したセンサ内の回路構成や、他回路部とのインターフェイスが必要となる。例えば、インターフェイスを適正なものにしないと、ピン数が多くなり、センサのチップ面積が大きくなったり、パッケージが大きくなり、コストが高くなる。

【0010】TV会議や、TV電話などの画像圧縮技術が、規格化されているが、パーソナルコンピュータ（パソコン）やパソコン通信の普及に伴い、パーソナルコンピュータを使用したデスクトップ会議が、現実のものと

なろうとしており、これにも画像圧縮技術が利用されている。

【0011】これらの画像システムの画像取り込み部には、ビデオカメラレコーダや小型ビデオカメラが利用されている。これらのカメラ出力は、いまだアナログビデオ出力であるが、今後パーソナルコンピュータとデジタル直結、あるいはカメラを内蔵するパーソナルコンピュータが当たり前のことになる時代が来ることが予想できる。このような用途の撮像素子として、撮像処理回路を搭載した固体撮像素子があれば、部品の削減につながり、コストダウンとなる。

【0012】

【発明が解決しようとする課題】このように、固体撮像素子としてのCMOSセンサはノイズの点を除けば、CCDセンサに比べて利点が多く、ノイズ対策技術の進展に伴って、再び脚光を集めようとしている。そして、CMOSセンサを撮像デバイスとして用いる場合に、単に、撮像デバイスとしての機能ばかりでなく、画素選択や、画像圧縮、画像のコマ落とし制御、画像データ変換などの機能をCMOS回路で当該CMOSセンサの同一チップ上に作り込んでおくようにすれば、処理結果のみを利用することができるようになり、現在、周辺回路で行なう構成としていた分、CMOSセンサを応用した実システムの設計や製造において、負担が軽減される。

【0013】つまり、撮像素子として、撮像処理回路を搭載した固体撮像素子があれば、部品の削減につながり、コストダウンとなる。

【0014】しかし、CMOSセンサのチップ上にこれら撮像処理回路を単に作り込んでも、そのチップをシステムに応用する場合に、使い勝手の点で問題を残す。例えば、機能をユーザの要求する仕様に基づいて設計すれば、単機能の素子となってしまい、専用デバイスつまり、特定用途向けデバイスに近いものになって汎用性が失われる。

【0015】情報化社会、マルチメディア全盛の社会背景を考慮すると、画像取得の用途は、今後、種々の分野で必要とするものであり、また、省スペース、省エネルギーが叫ばれる中、機能素子も小型、低消費電力化を図る必要性から、これらを踏まえた要求を満たすことの可能なCMOSセンサ応用の高機能、高汎用性固体撮像素子の出現は急務である。

【0016】そこで、この発明の目的とするところは、小型であり、しかも、高機能、高汎用性を有すると共に、省エネルギー化の可能なCMOSセンサ応用の固体撮像素子を提供することにある。また、この固体撮像素子を使用した画像システムを提供することにある

【0017】

【課題を解決するための手段】上記目的を達成するため、本発明は次のようにする。すなわち、第1には、光

電変換を行う画素を2次元状に配列したエリアセンサ部と、このエリアセンサ部の画素を選択し、画像信号を読み出す画素選択部と、画素から読み出した画像信号を信号処理するアナログ信号処理部と、この処理された信号をデジタル信号に変換するアナログ-デジタル変換部と、このデジタル信号を所要の信号形式のデジタル信号にすべく信号処理するデジタル信号処理部と、このデジタル信号を外部に出力すると共に、外部からのコマンド信号の入力が可能で、かつ、コマンド対応の操作を行うインターフェイス部とからなる固体撮像素子である。

【0018】本発明は、撮像素子内のセンサ部の画素選択回路や信号処理回路の構成において、複数の画素読み出しモード、あるいは複数の信号処理モード、あるいは複数の信号出力形式モードを持ち、撮像素子が外部からのコマンドを入力するインターフェイス部を設けることにより、これらのモードを切り替え、撮像素子を用いるシステムに応じた、あるいは必要な、あるいは有益な出力を出すことができるものである。

【0019】撮像素子に設けられた端子より、撮像素子を用いるシステムは、コマンドを撮像素子に入力できる。このコマンドに沿って、撮像素子は、システムが要求する出力データの形式を出力する。

【0020】

【発明の実施の形態】以下、本発明の具体例について図を参照して説明する。

【0021】初めに、CMOSセンサの概要について触れておく。

【0022】(CMOSセンサの概要) CMOSセンサは、低消費電力・低電圧化が可能で、单一電源で駆動できる固体撮像装置であり、増幅型のトランジスタを用いている。この固体撮像装置は、各セル内でフォトダイオードで検出した信号をトランジスタで増幅するものであり、高感度という特徴を持つ。

【0023】特殊な製造プロセスを用いるCCDセンサとは異なり、CMOSセンサはプロセッサ、DRAM等の半導体メモリ、論理回路等で多用されているMOSプロセスにより、生産される。従って、CMOSセンサは半導体メモリやプロセッサと同一の半導体チップ上に形成したり、半導体メモリやプロセッサ等と生産ラインを共有することが容易である等の利点がある。

【0024】しかしながら、上述した増幅トランジスタを用いた従来のCMOSセンサ(増幅型CMOSセンサ)は、後述するように、

- ・固定パターンノイズと呼ばれる輝度ムラが避けられず、その除去が難しい、
- ・増幅型CMOSセンサはその出力のダイナミックレンジも60dB程度しかなく、銀塩フィルムの90dBやCCDセンサの70dBと比較すると、不十分である、といった欠点を抱えていたため、増幅型CMOSセンサをビデオカメラ等の画像システム機器に組み込むことは

画質の点で実用上、大きな制約があった。

【0025】しかし、近年、これらの問題が技術的に解消され、実用化が可能になった。

【0026】図72は、増幅型CMOSセンサを用いた従来の固体撮像装置を示す回路構成図である。画素に相当する単位セルP0-i-jが縦、横に2次元マトリクス状に配列されている。図では、2×2しか示していないが、実際は数百個×数百個の配列である。iは水平(row)方向の変数、jは垂直(column)方向の変数である。各単位セルP0-i-jは、フォトダイオード1-i-jと、増幅トランジスタ2-i-jと、垂直選択トランジスタ3-i-jと、リセットトランジスタ4-i-jからなる。また、2次元マトリクス状に配列されている単位セルP0-1-1, …P0-i-j, …を順に選択するために、垂直アドレス回路5と水平アドレス回路13とがある。垂直アドレス回路5は垂直走査回路を構成し、水平アドレス回路13は水平走査回路を構成する。

【0027】垂直アドレス回路5にはn×m構成の2次元マトリクス状配列の単位セルP0-1-1, …P0-i-j, …の横配列数(水平(row)方向配列数)であるnに対応する数のアドレス出力端子とリセット信号端子のペアがあり、水平アドレス回路13にはn×m構成の2次元マトリクス状配列の単位セルP0-1-1, …P0-i-j, …の縦配列数(垂直(column)方向配列数)であるmに対応するアドレス出力端子がある。なお、m, n, i, jは任意の整数である。

【0028】そして、水平(row)方向に並ぶ単位セルP0-1-1, P0-1-2, …P0-2-j, …に沿って1本ずつ、垂直アドレス回路5から水平(row)方向に垂直アドレス線6-1, 6-2, …が順に配線されており、これら垂直アドレス線6-1, 6-2, …はそれぞれ垂直アドレス回路5のn個のアドレス出力端子のうち、対応する一つに接続されている。

【0029】また、水平(row)方向に並ぶ単位セルP0-1-1, P0-1-2, …P0-2-j, …に沿って1本ずつ、垂直アドレス回路5から水平(row)方向にリセット信号線7-1, 7-2, …が順に配線されており、これらリセット信号線7-1, 7-2, …はそれぞれ垂直アドレス回路5のn個のリセット信号端子のうち、対応する一つに接続されている。

【0030】また、垂直方向に並ぶ単位セルP0-1-1, P0-1-2, …P0-2-j, …に沿って1本ずつ、水平アドレス回路13から垂直方向に垂直信号線8-1, 8-2, …が順に配線されており、これら垂直信号線8-1, 8-2, …はそれぞれ水平アドレス回路13のm個のアドレス出力端子のうち、対応する一つに接続されている。

【0031】垂直アドレス回路5から水平方向に配線されている垂直アドレス線6-1, 6-2, …は各行の單

位セルの垂直選択トランジスタ3-1-1, …のゲートに接続され、信号を読み出す水平ラインを決めている。同様に、垂直アドレス回路5から水平方向に配線されているリセット線7-1, 7-2, …は、それぞれ対応する各行のリセットトランジスタ4-1-1, …のゲートに接続されている。

【0032】入射光を検出するフォトダイオード1-i-jは、入射光を検出する受光部を形成するものであって、受光量対応の信号電荷を発生するものであり、1つのフォトダイオードで1画素を構成する。増幅トランジスタ2-i-jは、このフォトダイオード1-i-jの発生した信号電荷を増幅して検出信号として出力するものであり、フォトダイオード1-i-jのカソードが自己のゲートに接続されることにより、フォトダイオード1-i-jの信号電荷を増幅してその信号電荷対応の増幅出力を検出信号としてドレイン側に発生するものである。

【0033】垂直選択トランジスタ3-i-jは、直流のシステム電源と増幅トランジスタ2-i-jのドレイン側との間に自己のソース・ドレイン間が接続され、自己のゲート側は垂直アドレス回路5の垂直アドレス線6-jに接続される。

【0034】リセットトランジスタ4-i-jは直流のシステム電源とフォトダイオード1-i-jのカソードとの間に自己のソース・ドレイン間が接続され、動作時にフォトダイオード1-i-jの信号電荷をリセットする。

【0035】つまり、具体的には垂直選択トランジスタ3-i-jのソース側とリセットトランジスタ4-i-jのソース側が、直流のシステム電源のドレイン電圧端子に共通に接続されて、ドレイン電圧が供給されるようにしてある。

【0036】上述したように、垂直アドレス回路5から水平方向に配線されている垂直アドレス線6-1, 6-2, …は各行の単位セルの垂直選択トランジスタ3-1-1, …のゲートに接続され、信号を読み出す水平ラインを決めている。同様に、垂直アドレス回路5から水平方向に配線されているリセット線7-1, 7-2, …は、各行のリセットトランジスタ4-1-1, …のゲートに接続されている。

【0037】従って、n×m構成(n行m列の配列構成)の画素の読み出しにおいて、nライン存在する水平ライン(行方向ライン)を、その読み出し走査順にアクティブにすべく、垂直アドレス回路5が垂直アドレス線6-1, 6-2, …を順次アクティブにし、また、画素の信号電荷をリセットするように、出力端子に信号出力をすべく、動作する構成としてある。

【0038】以上が、画像検出部であり、この画像検出部の他に、この画像検出部が検出した画像を読み出す出力部がある。出力部は負荷トランジスタ9-1, 9-

2, …、信号転送トランジスタ10-1, 10-2, …、蓄積容量11-1, 11-2, …、水平(row)選択トランジスタ12-1, 12-2, …から成り、次のような構成である。

【0039】すなわち、各列の単位セルの増幅トランジスタ2-1-1, 2-1-2, …のソース側は列方向に配置された垂直信号線8-1, 8-2, …のうち、自己の対応する列のものにそれぞれ接続されている。また、各列の単位セル対応に、それぞれ一つずつ、負荷トランジスタ9-1, 9-2, …が設けられており、垂直信号線8-1, 8-2, …の一端はこれら各負荷トランジスタ9-1, 9-2, …のうちの対応する一つと、その負荷トランジスタのソース・ドレイン側を介して直流のシステム電源に接続される。

【0040】また、垂直信号線8-1, 8-2, …の他端は、1行分の信号を取り込む信号転送トランジスタ10-1, 10-2, …のうちの自己に対応する一つを介して、1行分の信号を蓄積する蓄積容量11-1, 11-2, …のうちの自己に対応する一つに接続されるとともに、水平アドレス回路13から供給される水平アドレスパルスにより選択される水平(row)選択トランジスタ12-1, 12-2, …を介して信号出力端(水平信号線)15に接続されている。

【0041】つまり、垂直信号線8-1, 8-2, …の他端は、信号転送トランジスタ10-1, 10-2, …のうちの対応する一つのトランジスタのソース・ドレインを介して蓄積容量11-1, 11-2, …のうちの対応する一つの蓄積容量の一端側に接続されるとともに、水平(row)選択トランジスタ12-1, 12-2, …のうちの対応する一つのトランジスタのソース・ドレインを介して信号出力端(水平信号線)15に接続される。また、各蓄積容量11-1, 11-2, …の他端は接地され、信号転送トランジスタ10-1, 10-2, …のゲート側は共通ゲート14に接続される。共通ゲート14には、信号転送すべきタイミングにおいて信号転送パルスを印加することで、信号転送トランジスタ10-1, 10-2, …をオンさせて、垂直信号線8-1, 8-2, …に現れた電圧を、増幅信号蓄積容量11-1, 11-2, …に転送して蓄積させることができる。

【0042】水平アドレス回路13は、水平1ライン当たりの読み出すべき画素位置を順次選択してゆくためのものであって、n×m構成(n行m列構成)の画素の読み出しにおいて、水平1ラインの読み出し走査速度対応に、その時々の走査位置に該当する画素位置の水平(row)選択トランジスタ12-1, 12-2, …をアクティブにするように水平アドレスパルスを発生する構成としてある。

【0043】従って、n×m構成(n行m列構成)の画素の読み出しにおいて、順次ライン位置を変えながらそのラインにおける画素の信号を読み出すといった走査を

制御することができる。

【0044】動作について触れておく。図73のタイミングチャートを参照して説明すると、このMOS型固体撮像装置の動作は次のようになる。垂直アドレス回路5より、垂直アドレス線6-iに当該垂直アドレス線6-iをハイレベルにするアドレスパルスが印加されると、この行の選択トランジスタ3-i-1, 3-i-2, …のみオンとなり、この行の増幅トランジスタ2-i-1, 2-i-2, …と負荷トランジスタ9-1, 9-2, …でソースフォロワ回路が構成される。

【0045】これにより、増幅トランジスタ2-i-1, 2-i-2, …のゲート電圧、すなわちフォトダイオード1-i-1, 1-i-2, …の電圧とほぼ同等の電圧が垂直信号線8-1, 8-2, …に現れる。

【0046】このとき、信号転送トランジスタ10-1, 10-2, …の共通ゲート14に信号転送パルスを印加すると、増幅信号蓄積容量11-1, 11-2, …には垂直信号線8-1, 8-2, …に現れた電圧とその容量との積で表される増幅された信号電荷が蓄積される。

【0047】増幅信号蓄積容量11-1, 11-2, …に信号電荷が蓄積された後、垂直アドレス回路5は、リセットライン7-iにリセットパルスを印加する。そして、このリセットパルスによりリセットトランジスタ4-i-1, 4-i-2, …はオンされ、フォトダイオード1-i-1, 1-i-2, …に蓄積された信号電荷はリセットトランジスタ4-i-1, 4-i-2, …を介して放電される。これにより、フォトダイオード1-i-1, 1-i-2, …はリセットされたことになる。

【0048】つぎに、水平アドレス回路13から水平アドレスパルスを水平選択トランジスタ12-1, 12-2, …に順次印加する。すると、水平選択トランジスタ12-1, 12-2, …はこの水平アドレスパルスの印加されている間、オンとなる。そして、増幅信号蓄積容量11-1, 11-2, …に蓄積されていた信号電荷は、オンとなった水平選択トランジスタ12-1, 12-2, …を通じて蓄積信号出力端(水平信号線)15から出力される。これにより、1行分の画像信号が出力信号として得られる。

【0049】この動作を次の行(水平ライン)、次の行と順次続けることにより、2次元状に配置されたフォトダイオードのすべての信号を読み出すことができる。

【0050】このように、順次、ライン位置を変えながら読み出し制御を行うことで、1画面分の画像信号を順次取り出すことができ、連続的にこの動作を繰り返すと動画像が得られることになる。

【0051】ところで、上述した従来のMOS型固体撮像装置の単位セルPO-i-jは、フォトダイオード1-i-jからの電荷信号を増幅する増幅トランジスタ2-i-j、信号を読み出すラインを選択する垂直選択ト

ランジスタ3-i-j、増幅トランジスタのゲートのゲートを充放電するリセットトランジスタ4-i-jの計3つのトランジスタが必要である。つまり、単位画素に相当する受光部であるフォトダイオード1個あたり、3トランジスタ構成となる。

【0052】そして、フォトダイオード1-i-jの発生電荷は、増幅トランジスタ2-i-jを用いて増幅してから出力させるので、この増幅トランジスタ2-i-jによる雑音の問題が残る。つまり、増幅トランジスタ2-i-jは画素である単位セル毎に設けられるが、フォトダイオードが光を受けていないときにも、増幅トランジスタは出力を発生する。これは増幅トランジスタの特性上、避けることができない暗電流や熱雑音、そして、閾値電圧のバラツキに起因するものであり、マトリクス配置の各画素セルでそれぞれ異なる固有のものであるから、一様な光を受光面全面に当てたとしても、得られる画像信号のレベルは、各画素で一様にならず、輝度むらのある画像信号となる。この輝度むらのある画像は雑音が2次元状に分布する雑音、つまり、画面という平面に分布する雑音であり、場所的に固定されているという意味で、固定パターン雑音と称される。この雑音の問題は深刻であり、画素を微細化することによって一層、顕著になるから撮像用には、その改善を図らなければ、実用化はおぼつかない。

【0053】このような背景のもとに、種々の研究が積み重ねられた結果、近年、単位画素毎の増幅トランジスタの雑音をキャンセルする回路技術が開発され、このような回路技術を採用したMOS型撮像装置が開発されるに至って、遂にこれらの問題は一挙に解決することとなった。

【0054】その一例を説明する。それは例えば、単位セルにおいてリセットトランジスタ（図72の例における4-i-j（i, j = 1, 2, 3, 4, …）の符号を付したトランジスタ、（図21）では6の符号を付したトランジスタ）をフィードバック動作させ、固定パターンノイズを低減する構成とすると共に、図73（図17）に示すように、水平選択トランジスタ12の前に、この低減された固定パターン雑音を更に抑圧するための回路を設けてなる雑音除去回路（ノイズキャンセラ回路）を用いるようにことによる。

【0055】この構成例の特徴である単位セルのフィードバック動作による増幅トランジスタ64の閾値電圧補正の原理は次のようなものである。図74を参照して説明する。図74はセル回路図を表す。

【0056】図に示すCMOS型固体撮像装置の単位セルは、フォトダイオード（1-i-j）62と、増幅トランジスタ（2-i-j）64と、垂直選択トランジスタ（3-i-j）65と、リセットトランジスタ66とを備えているが、単位セルは、入射光を検出するフォトダイオード62は、そのカソードを当該フォトダイオ

ード62の検出信号を増幅する増幅トランジスタのゲートに接続してある。そして、当該増幅トランジスタ64のゲートとドレインの間には、フィードバック動作をするリセットトランジスタ66と、増幅トランジスタ64のドレインに接続され、信号を読み出す水平ラインを選択する垂直選択トランジスタ65が接続されている。

【0057】このような接続構成にすると、垂直選択トランジスタ65をオフし、リセットトランジスタ66をオンした状態であって、垂直信号線8に基準電圧を与えた状態においては、リセットトランジスタ66のゲートチャネルを通じてそのリセットトランジスタ66のドレインに電子が流れ込むと、そのドレイン電圧が下がってくる。

【0058】リセットトランジスタ66におけるそのドレイン・ゲート間は、当該リセットトランジスタ66がオンされていてつながっているため、ゲート電圧も下がり、流れ込む電子が減少していく。そして、最終的には、ソースに与えられた基準電圧とチャネル電位がほぼ等しくなる状態になる。この状態においてはチャネル電位が、外部から与えられた電圧になることから、トランジスタの構造上のばらつきは現れない。

【0059】すなわち、この例によれば、増幅トランジスタ64のゲートとドレインの間にフィードバックトランジスタ（リセットトランジスタ66）を挿入し、ソースに一定電圧を与えるフィードバック動作により、閾値ばらつきを補正することができる。

【0060】図75は、一例としての改良された型固体撮像装置の構成を示す。単位セルP4-i-jが縦、横に2次元マトリクス状に配列されている。図では、2×2しか示していないが、実際は数千個×数千個ある。iは水平（row）方向の変数、jは垂直（column）方向の変数である。各単位セルP4-i-jの詳細は図74に示した如きである。

【0061】この固体撮像装置の応用分野としては、ビデオカメラ、電子スチルカメラ、ディジタルカメラ、ファクシミリ、複写機、スキャナ等がある。

【0062】垂直走査回路部を構成する垂直アドレス回路5から水平方向に配線されている垂直アドレス線6-1, 6-2, …は各行の単位セルに接続され、信号を読み出す水平ラインを決めている。同様に、垂直アドレス回路5から水平方向に配線されているリセット線7-1, 7-2, …は、各列の単位セルに接続されている。

【0063】各列の単位セルは列方向に配置された垂直信号線8-1, 8-2, …に接続され、垂直信号線8-1, 8-2, …の一端には負荷トランジスタ9-1, 9-2, …が設けられている。負荷トランジスタ9-1, 9-2, …のゲートとドレインは共通にドレイン電圧端子20に接続される。

【0064】垂直信号線8-1, 8-2, …の他端は、MOSトランジスタ26-1, 26-2, …のゲートに

接続される。MOSトランジスタ26-1, 26-2, …のソースはMOSトランジスタ28-1, 28-2, …のドレインに接続され、MOSトランジスタ26-1, 26-2, …、28-1, 28-2, …はソースフォロワ回路として動作する。MOSトランジスタ28-1, 28-2, …のゲートは共通ゲート端子36に接続される。

【0065】MOSトランジスタ26-1, 26-2, …とMOSトランジスタ28-1, 28-2, …との接続点がサンプルホールドトランジスタ30-1, 30-2, …を介してクランプ容量32-1, 32-2, …の一端に接続される。クランプ容量32-1, 32-2, …の他端にはサンプルホールド容量34-1, 34-2, …とクランプトランジスタ40-1, 40-2, …が並列に接続されている。サンプルホールド容量34-1, 34-2, …の他端は接地されている。クランプ容量32-1, 32-2, …の他端は水平選択トランジスタ12-1, 12-2, …を介して信号出力端（水平信号線）15にも接続される。

【0066】垂直アドレス回路5は、複数、ここでは2つの信号を纏めてシフトする回路であり、図76、図77、図78のいずれかの回路により実現される。図77の例では、入力信号46を多数の出力端から順次シフトして出力するアドレス回路44の出力がマルチプレクサ48により2入力信号50と合成される。図77の例では、エンコード入力54をデコードするデコーダ52の出力がマルチプレクサ56により2入力信号58と合成される。図78の例では、2つのアドレス回路60a、60bの出力を束ねて各行の制御信号線とする。

【0067】上述した図7-4の回路は、図7-5に示した回路における単位セルP4-1-1として使用する。ここでは、単位セルP4-1-1の構成のみを示すが、他の単位セルP4-1-2、～についても同様の構成が採用されている。

【0068】次に、図79のタイミングチャートを参照して、このように構成されたMOS型固体撮像装置の動作について説明する。なお、負荷トランジスタ9の共通ドレイン端子20、インピーダンス変換回路のトランジスタ28の共通ゲート端子36、クランプトランジスタ40の共通ソース端子38はDC駆動であるので、タイミングチャートから省略している。

【0069】垂直アドレス線6-1にハイレベルのアドレスパルスを印加すると、当該垂直アドレス線6-1に接続されている単位セルP4-1-1, P4-1-2, …の垂直選択トランジスタ65がオンとなり、增幅トランジスタ64と負荷トランジスタ9-1, 9-2, …でソースフォロワ回路が構成される。

【0070】サンプルホールドトランジスタ30-1、30-2、…の共通ゲート37をハイレベルとしてサンプルホールドトランジスタ30-1、30-2、…をオ

ンする。この後、クランプトランジスタ40-1、40-2、…の共通ゲート42をハイレベルとしてクランプトランジスタ40-1、40-2、…をオンする。

【0071】次に、クランプトランジスタ40-1, 40-2, …の共通ゲート42をローレベルとしてクランプトランジスタ40-1, 40-2, …をオフする。このため、垂直信号線8-1, 8-2, …に現れている信号プラス雑音成分はクランプ容量32-1, 32-2, …に蓄積される。

【0072】この後、垂直アドレスパルスをローレベルに戻した後、リセット線7-1にハイレベルのリセットパルスを印加すると、当該リセット線7-1に接続されている単位セルP4-1-1、P4-1-2、…のリセットトランジスタ66がオンとなり、出力回路68の入力端子の電荷がリセットされる。

【0073】再び、垂直アドレス線6-1にハイレベルのアドレスパルスを印加すると、当該垂直アドレス線6-1に接続されている単位セルP4-1-1、P4-1-2、…の垂直選択トランジスタ65がオンとなり、増幅トランジスタ64と負荷トランジスタ9-1、9-2、…でソースフォロワ回路が構成され、信号成分がリセットされた雑音成分のみが垂直信号線8-1、8-2、…に現れる。

【0074】前述したように、クランプ容量32-1、32-2、…には信号プラス雑音成分が蓄積されているので、クランプノード41-1、41-2、…には垂直信号線8-1、8-2、…の電圧変化分、すなわち信号成分プラス雑音成分から雑音成分を差し引いた、固定パターン雑音のない信号電圧のみが現れる。

【0075】そして、サンプルホールドドランジスタ30-1, 30-2, …の共通ゲート37をローレベルとしてサンプルホールドドランジスタ30-1, 30-2, …をオフする。このため、クランプノード41-1, 41-2, …に現れている雑音のない電圧がサンプルホールド容量34-1, 34-2, …に蓄積される。

【0076】この後、水平選択トランジスタ12-1、12-2、…に水平アドレスパルスを順次印加することにより、サンプルホールド容量34-1、34-2、…に蓄積されている雑音のないフォトダイオード62の信号が output 端子（水平信号線）15から読み出される。

【0077】以下、同様に、垂直アドレス線6-2, 6-3, …について上述の動作を繰り返すことにより、2次元状に配置された全てのセルの信号を取り出すことが出来る。

【0078】ここで、図79のタイミングの先後関係を説明する。必須の順番は、次の通りである。

【0079】“垂直アドレスパルスの立ち上がり・サンプルホールドパルスの立ち上がり・クランプパルスの立ち上がり” → “リセットパルスの立ち上がり” → “リセットパルスの立ち下がり” → “サンプルホールドパルス

の立ち上がり” — “垂直アドレスパルスの立ち上がり”である。

【0080】なお、垂直アドレスパルスの立ち上がり、サンプルホールドパルスの立ち上がり、クランプパルスの立ち上がりの前後関係は任意であるが、好ましくは上述した順番がよい。

【0081】このように、図79の動作によれば、クランプノード41には、信号（プラス雑音）がある時と、増幅トランジスタのゲートがリセットされて信号がない時の差の電圧が現れるため、何らかの理由により単位セルのフィードバック動作によって除去しきれなかった増幅トランジスタ64の閾値バラツキによる固定パターン雑音が補償される。すなわち、クランプトランジスタ30、クランプ容量31、サンプルホールドトランジスタ40、サンプルホールド容量34からなる回路がノイズキャンセラとして作用する。

【0082】なお、本例のノイズキャンセラは、ソースフォロワ回路からなるインピーダンス変換回路26、28を介して垂直信号線に接続されている。すなわち、垂直信号線はトランジスタ26のゲートに接続されている。このゲート容量は非常に小さいので、セルの増幅トランジスタ64は垂直信号線S-1、S-2、…のみを充電するので、(1)の時定数が短く、すぐに定常状態になる。そのため、リセットパルスの印加タイミングを早くすることができ、短時間でノイズキャンセル動作をさせることができる。

【0083】図80にこのようなCMOSセンサの概略的な回路構成図をブロック図で示しておく。

【0084】本発明は、例えば、このようなCMOSセンサを使用し、さらに周辺回路をCMOSプロセスで作り込むことにより、高機能化を図った撮像素子を提供するものである。次にその例を具体的に説明する。

【0085】(第1の具体例) 図1は、本発明の具体例としての撮像素子の概略的な内部構成を示したブロック図である。図において、100は撮像素子を示しており、図に示すように、撮像素子100内には、タイミング発生部101、エリアセンサ部102、画素の出力を選択する垂直走査部103および水平走査部104、アナログ信号処理部105、アナログ/デジタル変換を行うA/D部(A/D変換部)106、デジタル化された信号を出力信号に変換するデジタル信号処理部107、デジタル画像データを外部に出力し、また外部からのコマンドデータを受け取るインターフェイス部108が設けられている。

【0086】エリアセンサ部102は上述したCMOSセンサであり、垂直走査部103はCMOSセンサ102を垂直走査制御するためのものであり、水平走査部104はCMOSセンサ102を水平走査制御するためのものであり、これらはタイミング発生部101の出力信号を基に所要の走査制御をする構成である。

【0087】この具体例で重要なことは、外部からコマンド入力を行うことができ、コマンド対応に撮像素子100のモードや出力信号形態、信号出力タイミングなどをコントロールできるようしている点である。そのため設けたものが、インターフェイス部108であり、外部からこのインターフェイス部108に所要のコマンドを与えると、インターフェイス部108は受けたコマンド対応の制御を行うように各種構成要素の制御を実施する。また、インターフェイス部108はデジタル信号処理部107を介して出力されるデジタル画像データを撮像素子100の外部に出力する機能をも有している。

【0088】アナログ信号処理部105はエリアセンサ部102から読み出された画像信号を所要の信号処理をしてA/D部106に出力するためのものであり、A/D部106はこの画像信号をデジタル信号に変換して出力するためのものであり、デジタル信号処理部107は、このA/D部106にてデジタル変換されて出力される画像データをインターフェイス部108に出力するためのものである。

【0089】タイミング発生部101は、外部からの信号を元に、各画素で光電変換された画像信号を読み出すためのタイミング信号を発生し、垂直および水平走査部が、このタイミング信号に従って、画素内で光電変換された電荷を読み出す。

【0090】外部からの信号には、基準周波数であるマスタークロック、あるいは同期信号、あるいはその両者が考えられる。

【0091】図2及び図3はタイミング発生部101の具体例を示している。図において101aは垂直走査信号発生部、101bは水平走査信号発生部、101cはデジタル処理用信号発生部であり、垂直走査信号発生部101aはクロック信号と水平同期信号と垂直同期信号を受けて垂直走査タイミングを示す垂直走査信号を発生するものである。また、水平走査信号発生部101bはクロック信号と水平同期信号と垂直同期信号を受けて水平走査タイミングを示す水平走査信号を発生するものである。また、デジタル処理用信号発生部101cはクロック信号と水平同期信号と垂直同期信号を受けて所要のデジタル処理タイミングを示す信号を発生するものである。

【0092】外部からの信号には、基準周波数であるマスタークロック、あるいは同期信号、あるいはその両者が考えられるが、図1の構成例は両者を入力する例であり、その具体例として上述のように図2では、クロックと水平同期信号と垂直同期信号をあげた。これら3種の信号より、タイミング発生部101は、撮像素子100に必要なタイミング信号を発生し、撮像素子100内の各部へ供給する。

【0093】図3に示す構成は、クロックのみが撮像素子100外より供給され、同期信号も撮像素子のタイミ

ング発生部101で、生成する例である。外部クロックを受けて同期信号や垂直走査信号信号、水平走査信号信号などを内部で発生できるようにするために、図3の構成においては、垂直走査信号発生部101a、水平走査信号発生部101b、デジタル処理用信号発生部101cに加えてさらに同期信号発生部101dが設けられており、外部から入力されるクロック信号をもとに、同期信号発生部101dは垂直同期信号と水平同期信号を発生し、これを外部に出力すると共に、垂直走査信号発生部101a、水平走査信号発生部101b、デジタル処理用信号発生部101cに与える構成としてある。

【0094】図3の構成において、同期信号発生部101dからは垂直同期信号と水平同期信号を外部に出しているが、これは撮像素子外でタイミング信号が必要なシステム用に、同期信号を外部に供給できるようにするためである。

【0095】このときの撮像素子100の全体ブロック図は、図4のようになる。タイミング発生部以外は同じである。アナログ信号処理部105ではノイズ低減や、增幅、ガンマ処理やクランプ処理され、A/D部106でデジタル信号に変換される。

【0096】デジタル信号処理部107では、画素配列信号から、外部出力に適した出力信号へ変換する。たとえば輝度信号、RGB信号、輝度色差信号(YCrCb、YUV)などが考えられる。

【0097】各信号の出力順には、各画素単位、面順次が考えられる。なお信号処理をせず、画素配列データそのままの場合も含む。

【0098】さらにこれらの信号を元に、信号処理することも考えられる。たとえば、輝度色差信号を元として、JPEGに代表される静止画データ圧縮処理、H.261やH.263などの会議用途向け動画処理、MPEG1やMPEG2、および現在、規格が審議中のMPEG4の信号処理などを搭載することが可能である。またアナログ信号処理部でなく、デジタル信号処理部107でガンマ処理を行うことも考えられる。

【0099】このデジタル信号処理部107には、図5のように、信号処理回路107aに加えてメモリ107bを伴うように構成することもある。このメモリ107bは信号処理に必要な、1あるいは複数のライン、1あるいは複数のブロック、1あるいは複数のフレーム分の画像データを記憶し、これを信号処理回路107aでの信号処理に利用するものである。デジタル信号処理部107aで処理されたデータは、インタフェイス部108より撮像素子100の外部に出力される。このインタフェイス部108では、外部からのコマンドを撮像素子内に取り込む役目も果たす。

【0100】本発明の撮像素子100は外部からコマンドを入力することで当該コマンド入力対応のモードになり、コマンド対応の処理ができるようにした点に特徴が

あるので、これについて以下詳細を説明する。

【0101】【コマンド切替型撮像素子の第1の内部構成例】

＜画像切替構成の例＞第1の内部構成例は、この撮像素子が複数の出力形式を有しており、コマンドデータにより、出力形式切り替え選択をすることにより、出力データを変えることができるようとした例である。

【0102】図6に1具体例をあげる。この例は、デジタル信号処理部107を、信号処理回路107aとして輝度信号色差信号生成回路(YCrCb生成回路)で構成し、また、切替回路107bを設けて構成したものである。切替回路107bは切替端子を2つ持ち、一方の切替端子を輝度信号色差信号生成回路107aの出力側に接続し、他方の切替端子を輝度信号色差信号生成回路107aの入力側に接続して、切替回路107bにより、輝度信号色差信号生成回路107aの出力と、A/D部106の出力のうちのいずれか一方を、デジタル信号処理部107の出力として選択出力できるようにしたものである。切替回路107bの切り替え制御はインターフェイス部108の受信コマンドにより、当該インターフェイス部108がデジタル信号処理部107に切り替え信号を送ることで行えるようとしてある。

【0103】すなわち、この構成においては、デジタル信号処理部107は、画素データそのものを出すバスと、デジタル回路を通じてYCrCb信号に変換されるバスを持ち、外部から与えるコマンドにより、これらバスのうち、一方のバスを選択するように切り替え操作可能にすることによって、当該切り替え指定された方のバスのデータを出力するものである。

【0104】図7の構成は、動画像信号の信号処理をする動画像信号処理部107cと、静止画信号の信号処理をする静止画像信号処理部107dを持ち、これを上述の如き切替回路107bにより、いずれかの出力を選択するように切り替える構成を持つものである。一般に動画と静止画は、信号処理方法が異なっており、この二つの信号処理部を設けて、コマンドによりいずれか一方の出力を選択するように切り替えができる構成をとることにより、より良質の画像を得ることができる構成となる。

【0105】また、デジタル信号処理部107の構成を、図8のように構成する。図8の構成は、各種の信号処理部107e～107nを設けて、これらを切替回路107bにより切り替える構成としたものである。この構成をとることにより、コマンド一つで出力形式をシステムより指定できるようになり、適切な出力を出すことができる構成となる。信号処理部107e～107nの信号出力形式は前述したようなものがあげられる他、PICT形式、GIF形式、TIFF形式などのコンピュータで静止画像を記録するフォーマットも考えられる。

【0106】また、図9は、エリアセンサ部102の提

えた画像の出力順を変える例を示した。エリアセンサ部102はn画素(nはエリアセンサ部の画素数)の配列のイメージセンサであり、カラーの場合、R(赤)、G(緑)、B(青)の各色のセル一組で形成される画素単位で順に画像信号を読み出して出力する“画素順次”とするか、R、G、Bの各色のフレーム単位で画像信号を読み出して出力する“面順次”とするかをコマンドによって切り換える例である。

【0107】図9の例において、エリアセンサ部102内の番号は、1画素単位で表示しており、本例は撮像素子内で各画素につき、RGBの3色を信号処理により生成している。出力順序をコマンドにより、画素順次出力か、面順次出力かを切り替える様子を示している。

【0108】以上は、出力する画像の種類をコマンドにより選択できるようにした例である。次に

(第2の発明) 第2の発明は、外部からのコマンドにより、データ出力を行うことである。

【0109】通常のビデオカメラ用の撮像素子は、TVモニタに出画するシステムであることから、NTSC方式の場合、常に30フレーム/秒のレートで出力している。しかし、TV会議、TV電話、デスクトップ会議などの用途では、伝送容量の制限により、秒あたりのフレーム数は30フレームより小さいことが多く、常に撮像素子を出力していくなくても構わない。

【0110】外部からの出力要求があったときに、データを出力し、要求がない場合には、撮像素子上の不要な回路動作を停止させておくことで、消費電力を低減することができる。

【0111】図10に1具体例のタイミングチャートを示す。この例は、撮像素子100のエリアセンサ部102では、有効な蓄積動作が常に行われており、読み出しコマンドが与えられることにより、次のフレームの頭からアナログ信号処理段以降へ信号が読み出され、信号回路が動作して出力される様子を示している。

【0112】図11は別の具体例としてのタイムチャートであり、出力コマンドが入力されて初めてエリアセンサの有効な蓄積動作が行われる例である。出力コマンドにより、タイミング発生部101は各所に必要な信号を発生し、これを基にしてエリアセンサ部102では有効な蓄積動作が行われ、読み出された信号はデジタル信号処理部107でデジタル信号処理を受けた後、インタフェイス部108を介して画像データとして撮像素子100外に出力される。エリアセンサ部102は、画素単位あるいはライン単位で、あるいは列単位あるいはブロック単位で、各1フレーム期間有効蓄積動作が行われてのち、読み出されるので(図11は1ライン単位の蓄積読み出しの例を示している)出力コマンド後、少なくとも1フレーム期間のうちにデータが出力される。ただし、電子シャッタ動作が行われているときは、有効蓄積動作期間が短くなる。

【0113】次に別の例を示す。

【0114】(第2の具体例) 第2の具体例は、撮像素子100からの出力フレームレートを、段階的に設定しておき、これを外部コマンドで切り替えることができるようした例である。

【0115】Mを有理数としてMフレーム/秒の設定を複数用意して、これを切り替え可能とし、使用システムの条件に適合した、あるいは使用者の好みにあったフレームレートを選択し、撮像素子100へのコマンドで、上記Mの設定を切り替えるようにするものである。

【0116】この場合、タイミング発生回路101は複数の読み出し方法を実現する機能を持ち、上記のコマンドにより、その一つを選択し、出力レートを変更することができる構成とする。

【0117】この場合、たとえば、図12に示すように、“30フレーム/秒”、“15フレーム/秒”、“7.5フレーム/秒”、“3.75フレーム/秒”などという具合に、基準のフレームレートつまりNフレーム/秒と、これを1/nとなるように設定ようになると、回路の構成が簡単である。本例ではN=30、n=2となる。

【0118】フレームレートの選定方法には、例えば次のような方法がある。

【0119】一つは、たとえば、図13に示すように本発明の撮像素子100を用いた内蔵カメラ301aをパソコン300に設け、またこのパソコン300にIF(インタフェイス)を介してPHS(簡易携帯電話端末)を接続した構成、あるいは図14のように、本発明の撮像素子100を用いたパソコン用カメラ301bをパソコン300に接続したIF(インタフェイス)を介して接続し、当該パソコン300は内蔵する通信インターフェイスを介してネットワーク回線と接続し、遠隔地とディスクトップ会議を行うシステムにおいて、伝送に用いる回線のデータ転送レートを起動時に調べ、ソフトウェアがフレームレートを選択する方法である。

【0120】図15は内蔵あるいはパソコン用カメラ301a、301bの構成例であり、本発明の撮像素子100とこの撮像素子100に光学像を結像させるレンズ系(光学系)302、撮像素子100の出力する画像を符号化する画像符号化部303、外部から与えられたコマンドをデコードして撮像素子100に与えるコマンドデコーダ304からなる。

【0121】図16の内蔵あるいはパソコン用カメラ301a、301bの構成例は、撮像素子100に光学像を結像させるレンズ系(光学系)302、撮像素子100の出力する画像を符号化する情報源符号器305、この情報源符号器305の出力である画像データをフォーマット化するビデオ信号多重化符号器306、このビデオ信号多重化符号器306の出力を送信のために一時保持する送信バッファ307、この送信バッファ307で

一時保持されたデータを多重化して伝送路へと送信するシステム多重化符号化器308、そして、バッファ307の容量に応じて画像信号の読み出しと転送を制御すべく、情報源符号器305、撮像素子100、ビデオ信号多重化符号器306の制御をする符号化制御器309から構成される。

【0122】このような内蔵あるいはパソコン用カメラ301をパソコン300に接続して用いるが、図14に示す構成の内蔵あるいはパソコン用カメラ301の場合、フレームレートの選定は、そのためのコマンドを与えるとコマンドデコーダ304がそれを解釈してそのコマンド対応のフレームレートとなるようにカメラ301の側でデコードして切り換え制御するので、パソコン300の側では、当該パソコン300のコントローラ(CPU(プロセッサ)など)が、撮像素子100に対して、出力レートの設定コマンドを出すように構成すれば良い。

【0123】また、カメラ301が図16のような構成の場合、これは撮像部と動画像符号化装置と送信部との組み合わせによる構成であるため、動画像符号化装置部分を構成するハードウェアにおいて、図16のように符号化データの送信バッファメモリ307のデータ占有量を当該カメラ301のシステムがモニタし、コマンドを出す基準の一つにすることも例としてあげられる。

【0124】例えば、図16の中の、送信バッファ307内のメモリの占有量が一定値より小さくなると、出力コマンドを出すように設計する。または、図15か図16の構成において、ソフトウェアかハードウェアにより、動画像伝送システム(たとえばH.263やH.261)の規格を信号処理し、フレームレート重視か、画質重視かを利用者が決め、これに基づいて、ソフトウェアあるいはハードウェアがコマンドを送る方法も考えれる。

【0125】また、近年では手帳型パソコンのように、小型で軽量の携帯端末が普及しつつあるが、例えば、図17に示すように、携帯型情報機器に通信手段と撮像素子100を組み込んで画像通信を行える構成とする時、図18に示すように携帯型情報機器の電源となるバッテリBTの残り量をCPUが検出することによってCPUが出力フレームレートを決めるようにする制御方式を採用すると、電池切れによる通信の途中遮断を抑制して、必要な通信を全うさせることができるようになる。すなわち、この方式をとることで、電池残量が少なくなても、動作時間をのばすことができる。そして、機器のバッテリをチェックし、残り少ないときは、出力フレームレートを低くする用に制御することによって、消費電力を落とし、品質はある程度犠牲にしても、必要な動作を確保できるようにする。

【0126】なお、図13あるいは図14あるいは図17のシステムにおいて、パワーセーブモードを持ち、こ

のセーブモードを動作させると、撮像素子のフレームレートを落とす用に構成する例も考えられる。

【0127】(第3の具体例)第3の具体例は、外部から与えるコマンドにより、画素の出力順序を変更できるようにしたり、あるいは読み出し画素を選択できるようにする例である。

【0128】本発明の撮像素子100は、エリアセンサとしてCMOSセンサを用いており、このCMOSセンサは水平走査線と垂直走査線を選択的にアクティブにすることにより、CCDセンサと異なり、任意の画素を読み出すように構成することが可能である。

【0129】TVやパソコンのモニタに出力するシステムでは、ライン単位で読み出すのが通常であるが、たとえばブロック符号化手法を用いて、データ圧縮を行うシステムでは、 $n \times m$ 画素構成のフレーム画像を、そのうちの $8 \times 8$ 画素あるいは $16 \times 16$ 画素というブロック単位で処理するようにするのが通常の処理となる。これら複数の読み出し方法に対応するため、タイミング発生部101に、あるいはデジタル信号処理部107に、あるいはその両方に、これら複数の読み出し方式、あるいは読み出し方式とこれに対応する複数の処理回路を内蔵させておき、これらを外部からのコマンドによって切り替えることができるようすれば、上記処理に簡単に対応可能な構成とすることができる。

【0130】その例を次に説明する。

【0131】たとえば図19(a)、(b)は、モニタに出画するときの画像の読み出し順序の例である。図19(a)は、ノンインターレース走査、図19(b)は、インターレース走査を行っている例である。

【0132】図20は、H.263規格を用いるときの読み出し順序である。この規格では、 $8 \times 8$ 画素のブロック4個で構成されたブロックをマクロブロックとし、このマクロブロックを単位にして、GOB(Group of Blocks)の順序で、画素信号、あるいは輝度と色成分に変換された信号が読み出される。これに対応させるには、タイミング発生部101を図21の如き構成にする。すなわち、タイミング発生部101は垂直走査信号発生部101aと、水平信号発生部101b、そして、インターレースモード制御部101f、ノンインターレースモード制御部101g、ブロックモード制御部101h、これら制御部101f、101g、101hをコマンド対応に選択切り替える切替部101eを設ける。そして、出力切り替えコマンドによりモードを切り替えて、エリアセンサ部102の走査をする走査部への信号を変えて、出力順を変えることを可能にするものである。

【0133】このようにタイミング発生部101に、複数の読み出し方式を選択可能に構成しておけば、同一の撮像素子で対応できる。

【0134】(第4の具体例)本発明の撮像素子100

は、画素を選択的に出力することが可能である。従つて、一定画素おきにサブサンプルしたり、画像の一部のみを読み出したりすることが容易にできる。

【0135】前者の例を図22に示す。図22(a)乃至(c)はいずれも1画素あたりG, R, B, Gの4つのカラーのセルによる構成であり、(a)においては画面全体を対象に全セルの読み出しを行うことで画像の読み出しを行う全画素読み出し方式であり、(b)は2水平ライン毎に、しかも読み出す水平ラインにおいては2画素おきに画像の読み出しを行うサブサンプル読み出し方式であり、(c)は飛び飛びのセル単位で画像の読み出しを行う別のサブサンプル読み出し方式である。一定画素おきのサブサンプルシステムは、動画取り込み時には小さな解像度(ここでは解像度は画素数をさす)、静止画取り込み時には大きな解像度で入力したいとか、デスクトップ会議で伝送容量に応じて、解像度を変更することなどに対応できる。このとき、図23のようにタイミング発生部101を構成し、出力切り替えコマンドで切り替えを行なえば良い。すなわち、タイミング発生部101は垂直走査信号発生部101a、水平走査信号発生部101b、切替回路101e、全画素出力モード制御部101i、サブサンプルモード制御部101jを設けて構成する。

【0136】そして、全画素出力モード制御部101iではクロック同期信号をもとに全画素を読み出せるようなタイミング信号を発生し、サブサンプルモード制御部101jではクロック同期信号をもとに上述したサブサンプルモードでの読み出しが行えるようなタイミング信号を発生し、これらを切替回路101eで切り替えて垂直走査信号発生部101aと水平走査信号発生部101bに与える構成とするものである。切替回路101eはインタフェイス部108から与えられる切替コマンドに対応し、モード制御部101i、101jのうちの一方の出力を選択して抽出する。インタフェイス部108は外部コマンドを受けてそのコマンド対応に切替コマンドを発生して切替回路101eに与える構成である。

【0137】画像読み出しにあたっては、通常は図22(a)のように、全画素を読み出す。

【0138】図22(b)の例は、ベイヤ配列の例で、縦横整然と並ぶ各カラーのセルのうち、図22(b)の斜線部のセルの画像の出力を行なうことにより、横“1/2”、縦“1/2”的大きさの画像が得られ、しかも、読み出し色順に変化がないため、デジタル信号処理部107の変更も必要ない。

【0139】図22(c)は、緑(G)の色の画素だけ読み出すサブサンプルの例である。白黒画像は階調のみの画像であり、階調は画像の輝度信号で再現できる。そこで、この例では、白黒画像を得るときは、輝度信号に一番近い緑画素を用いるようにする。

【0140】これによれば、輝度信号に一番近い緑画素

を用いて、白黒画像を取り込むときなどに利用できる。

【0141】次に画像の一部のみを出力する例を説明する。撮像した画像のうちの、画面の一部領域のみの画像である「画像の一部のみ」の出力では、動きのある部分や、詳細を見たい部分の画像を集中して出力することで、効率のよい動画の符号化が可能である。この場合、図24のように、カメラの撮像部として使用する本発明の撮像素子100に、新たに出力位置指定コマンドを用意し、コマンドでエリアセンサ部102の撮像領域のうち、あるポイントを指定すると、そのポイント周辺の特定領域の画像を出力するように構成する。

【0142】ここで周辺とは、図25(a)、(b)に示すように指定されたポイントPを中心とする一定範囲か、図25(c)のように指定されたポイントPを含む1または複数のブロックか、あるいは同一性格を持つ範囲である。ただし、ここでいう同一性格とは、ポイント周辺においてエッジ認識によって得られた範囲であったり、図25(d)のようにポイントと同じ動きベクトルの値を持つか、あるいは近い動きベクトルの値を持つオブジェクト、あるいはブロック(図25(e))、あるいは輝度信号の値が近かったり、色相が近かったり、あるいはこれらの組み合わせである。または、ポイントでなく図25(f)のように、コマンドでブロックを指定して、その指定ブロックのみの画像を出力させることも考えられる。

【0143】(第5の具体例)第5の具体例は、外部から与えるコマンドにより、撮像素子100の電子シャッタ設定を変えることができるようとする例である。図26に示すように、撮像素子100に電子シャッタの設定コマンド受付け機能を持たせ、内部に電子シャッタの設定コマンドを認識してそのコマンドに応動する機能手段を設けて、外部からのコマンドにより、電子シャッタの設定を可能にしたものである。

【0144】詳細を図27で説明する。

【0145】CCD型の撮像素子は、全ての画素の電荷蓄積時間が同じであるが、本発明で使用する撮像素子100は、CMOSセンサをエリアセンサとして用いていて、このCMOSセンサによるエリアセンサは画素単位、あるいはライン単位、あるいはブロック単位での読み出しを行える構造であるため、蓄積時間の始まりと終りが単位毎に異なる。ここではライン単位の読み出しの例を示している。

【0146】画面を図27(a)のようにライン順次で画素を読み出す場合、図27(b)に示すように、まず画素に蓄積されている無効電荷をリセットし、有効蓄積動作を開始する。一定時間経過の後に画素を読み出して、次段の信号処理に撮像信号を与える。有効蓄積動作期間は、ライン毎にタイミングが異なるが、各期間は同じ長さである。

【0147】電子シャッタを動作させる場合、図27

(c) に示すように無効電荷をリセットする画素リセットのタイミングを、時間的に後ろにずらすことで、有効蓄積動作期間を短縮でき、電子シャッタ動作がなされる。この動作は、電子シャッタコマンドが、タイミング発生部101のモードを切り替えることによってなされる。

【0148】また、画素単位、あるいはライン単位、あるいはブロック単位での有効蓄積動作の設定が、コマンドによって可能である。図27(d)は、2列目の有効蓄積期間を、他のラインとは異なったものにした例。図28は、エリアセンサ部102をブロック単位に分け、この分けたブロック単位で読み出す撮像素子であり、“ブロック1”から“ブロックm”までのうち、例えば、13番目のブロックである“ブロック13”的有効蓄積動作期間を、他のブロックの有効蓄積期間と異なったものにした例である。

【0149】このような電子シャッタ設定を可能にすることで、被写体に合わせた撮影ができるようになる。たとえば、被写体の一部が、発光体であったとき、この発光部分に電子シャッタの設定、つまり有効蓄積動作期間を合わせてしまうと、発光部分の他は真っ暗になる。

【0150】しかし、発光部分に該当する画素、あるいはライン、あるいはブロックの有効蓄積動作期間を、他の部分とは別に、短く設定すれば、良好な画像が得られるものである。

【0151】これまで示してきたタイミング発生部101の切り替え方法の別の具体例として、図29のように、タイミング発生部101の中にROM1011を持つ構成とすることが考えられる。そして、ROM1011のアドレスを、コマンドによりアドレス切り換えすることができるようとしたROMアドレス切替器101mにより切り替えることにより、ROMからの読み出し情報を変えてこの読み出し情報によりデジタル処理用の信号を発生する信号発生器101kの出力信号を変えるようにすることで、必要な信号を発生するようになる。ROMを用いることで、チップ面積が小さくなり、コストダウンにつながる。

【0152】以上、本発明の撮像素子100におけるタイミング発生部101の構成を説明した。次に、撮像素子内に動画像の動きベクトルを検出するためのベクトル検出回路を内蔵する例を説明する。

【0153】(第6の具体例)第6の具体例は、図30のように撮像素子100内に、動画像データを圧縮処理する動画像データ圧縮回路107qを有するか、あるいは図31に示すように撮像素子100の次に、動画像データを圧縮処理するための動画像データ圧縮回路400が続く場合であり、撮像素子内に動きベクトルの検出回路107rを内蔵する例である。

【0154】動きベクトル検出回路107rは画像の動きベクトルを検出する処理を行うための回路であり、こ

の動きベクトル検出回路107rに入力して処理に用いるのは、デジタル信号処理部107で生成された輝度信号(Yデータ)である。輝度信号はA/D部106より出力される画像データからYデータと色差データとを得るY色差信号処理回路107pの出力を用いる。

【0155】図30に示した例では、撮像素子100としてはデジタル信号処理部107として図32に示す如きの構成を持ち、図31の例では、Y色差信号処理回路107pと動きベクトル検出回路107qからなる図33に示す如きのデジタル信号処理部107の構成を持つ。または輝度信号の代わりに、エリアセンサ部102の各画素に形成された複数の色フィルタのうちの1色を用いる例が考えられる。

【0156】通常、単板の撮像素子を用いるとき、各画素(正確には画素を構成することになる各セル)の上に1つの色フィルタを形成し、この色フィルタを複数(通常3色か4色)用いることで、カラー画像を得ている。

【0157】この複数の色フィルタは、マトリックス配列の各セル配置面上において、全体してモザイク状あるいは、ストライプ状に繰り返しパターンで配置されており、このうちの1色を選択することで、動きベクトルを計算することが可能であり、これは回路の簡略となる。

【0158】たとえば図34のようなペイヤ配列のエリアセンサ部102を持った撮像素子100において、輝度信号に一番近いG画素の出力を用いることで、輝度信号の代用を行うようにするものである。このときの図33の例のデジタル信号処理部107の構成はブロック図で示すと、図35の如きとなる。すなわち、A/D部106よりG画素の画像データを受け取り、Y色差信号処理回路107pにてYデータと色差データを作成し、これをインタフェイス部108に出力すると共に、A/D部106からのG画素の画像データを用いて動きベクトル検出回路107qは動きベクトルを検出し、これを動きベクトルデータとしてインタフェイス部108に出力する構成である。

【0159】また、図31のように、撮像素子100に外付けして動画像データ圧縮回路400を設ける構成とする場合、撮像素子100におけるデジタル信号処理部107で検出された動きベクトルは、符号化されてインタフェイス部108より、次段の動画像データ圧縮回路400へ送られる。この動きベクトルのデータは、H.261やH.263、あるいはMPEG1やMPEG2、あるいは現在規格化作業中のMPEG4等の、動きベクトル規格そのものが考えられる。また規格そのものでは、回路規模が大きく、高速処理が必要となるので、おおよその動きベクトル、あるいは方向、動きがあるかないかなどと、次段の動画像データ圧縮回路400の補助的なデータを与えるようにすることも有効である。これらは、次段の動画像データ圧縮回路400の回路規模を小さくさせたり、高速の処理を省くようにできるといった効

果につながる。

【0160】また前述した携帯型情報機器に、本発明の撮像素子100を用いたカメラを搭載する時(図17参照)、当該携帯型情報機器は、ユーザが手に持つて使用することが考えられ、このとき手ぶれに影響が考えられる。この場合、次のような構成が有用である。

【0161】図36は、撮像素子100内で、手ぶれによる動きベクトルを計算し、これをデータ化して次段の動画像データ圧縮回路に出力するようにした例であり、A/D部106によりデジタル変換された画像データをY色差信号処理回路107pにより信号処理して輝度信号(Yデータ)と色差データとを得、また、手ぶれ動きベクトル検出回路107sを設けて、ここでYデータにより手ぶれ動きを検出すると共にその動きを動きベクトルに変換して手ぶれデータとして出力する構成としたものである。

【0162】また、図37は、携帯型情報機器内に、手ぶれ量を検出してその検出量をデータとして出力するセンサ401を内蔵しており、この手ぶれ量検出センサ401の検出データが、動画像データ圧縮回路を内蔵する本発明の撮像素子100に入力され、動きベクトルの計算に手ぶれ量補正データとして取り入れられる構成としたものである。撮像素子100はカメラとして携帯型情報機器に搭載されているものとする。

【0163】このとき撮像素子100内のデジタル信号処理部107の構成は図38のようになる。すなわち、画像データから色差データとYデータを得るY色差信号処理回路107pと、Yデータから動きベクトルを検出する動きベクトル検出回路107qと、この動きベクトル検出回路107qの出力である動きベクトルデータに手ぶれデータを加算(減算)して補正を加え、出力とする加算器107tからなり、インタフェイス部108を介して手ぶれ量検出センサ401の出力をデジタル信号処理部107の加算器107tに与える構成とする。

【0164】また図39は、手ぶれセンサ401のデータと、本発明の撮像素子100から出力される動きベクトルのデータとから、次段の動画像データ圧縮(外部に接続する動画像データ圧縮回路400での動画像データ圧縮)に有効な動きベクトルを計算する時の、携帯型情報機器の備えるべき構成の例を示している。この場合、動画像データ圧縮は、撮像素子100の後段に設けられることになるため、撮像素子100の動きベクトルデータの出力端子に加算器402を設け、手ぶれセンサ401の検出した手ぶれ量のデータと、撮像素子100の出力の一つである動きベクトルデータとをここで加算(減算)して手ぶれ量を補正した動きベクトルデータにする。そして、この動きベクトルデータを動画像データ圧縮回路400に与えて圧縮処理するようとする。

【0165】図40と図41は、撮像素子100のデジタル信号処理部107の持つ動きベクトル検出回路107qより外部に、動き検出信号を出力できるようにした例である。動き検出信号は、動きベクトルが検出されるときに出力されるように、動きベクトル検出回路107qを構成しておく。そして、動きベクトル検出回路107の当該動き検出信号を、撮像素子100の外部に引き出して利用できるようにしたことにより、撮像範囲に動きが検出されると、この検出信号でシステム側に知らせることができるようになる。

【0166】このようにすると、たとえばこれを監視カメラシステムに利用した場合、動きが検出されたときに、記録媒体に画像を記録するなり、警報を発するなりする事ができるようになり、有益なシステム構築が可能である。また、パソコンでシステムを構築した場合、動き検出信号をパソコンのインターラプトに対応させることができると、動き検出信号は、後述するステータス信号を用いて外部に出すようにしてもよい。

【0167】図42と図43は、デジタル処理部107の動きベクトル検出回路107qで検出された動きのある画素、あるいは動きのある画素を含むブロックの有効蓄積時間を、変化させる例である。動きベクトル検出回路107qの上記動きベクトル信号を電子シャッタ信号としてタイミング発生部101にフィードバックさせる構成とし、タイミング発生部101はこの動きベクトル対応に垂直走査部103と水平走査部104に与える各種信号を補正してエリアセンサ部102の読み取りを制御するようとする。つまり、電子シャッタを制御する。

【0168】動きのある部分は、有効蓄積時間をより短くするほうが、より画像のぶれが少なくなる。この具体例のように、動きベクトルの大きさによって、電子シャッタ設定を変えるようにすることは、結果としてより画質の向上につながるものである。

【0169】なお、撮像素子100子内に動き検出回路がなく、撮像素子100の外に動きベクトル検出部を含む動画像データ圧縮回路を接続して用いる構成とする場合は、この動きベクトル検出結果を元に、コマンド入力の形で、撮像素子100の電子シャッタ設定を変えるよう構成すればよい。

【0170】以上、本発明の撮像素子100におけるデジタル処理部107に動きベクトル検出回路を備えた構成とその応用例を説明した。次に本発明の撮像素子100のインタフェイス部108について説明する。

【0171】(第7の具体例)インタフェイス部108の構成例について述べる。

【0172】図44はインタフェイス部108の構成例であり、デジタル画像データ信号線と、コマンド信号線が異なる場合の例である。画像データ信号線は出力専用で、デジタル信号処理部107からの信号を出力制御する出力部108aの出力側に接続され、コマンド信号線は入力専用で、コマンドデコーダ108bに外部からのコマンドを入力するためのものである。

【0173】この構成は、信号線は多くなるものの、外部との接続がやさしく、また撮像素子100内の構成も複雑でない。画像データは、撮像素子100を動作させる信号より作成される出力イネーブル信号に従って出力する。

【0174】また、図45のようにバッファ108cを介して出力イネーブル信号を撮像素子100の出力端子に出力する構成としておけば、撮像素子100から画像データを受け取る次段の回路は、出力データを受け取るタイミングが、明確で構成が簡単となる。このときの撮像素子のデータ出力タイミングを図46に示す。

【0175】または、撮像素子内に一時記憶機能を持つことで、システム側のデータ要求により、画像データを出力することも可能である。図47は外部コマンドによる出力イネーブルを出力部108aに与えるように、コマンドデコーダ108bを構成し、出力部108aもこのコマンドデコーダ108bからのイネーブル信号を受けると画像データを出力する構成とした例である。

【0176】このように、図47の例はコマンドによる出力イネーブルにより、データを出力する例であり、そのタイミングを図48に示す。この例は、システムが撮像素子側のタイミングを気にせずにデータを読み出すことができるので、撮像素子以降の構成が簡単となる。

【0177】別の例を示す。撮像素子100が画素単位での読み出しを行うものである場合、画像データは1画素を1回で読み出す方式と、複数回に分けて読み出す方式とが考えられる。前者はたとえば、その出力部108aの構成が図49の例のように輝度信号と色信号の読み出しデータビンを別々に持つ構成としてあり、それぞれに読み出して出力できる構成である。

【0178】後者は、たとえばその出力部108aの構成が図50の例のように、輝度信号と色信号を1画素毎、あるいは1ライン毎、あるいは1ブロック毎、あるいは1フレーム毎に交互に読み出す構成としたものである。このときのタイミングを図51に示す。

【0179】1画素のデータビットを複数回に分けることも可能である。

【0180】例えば、通常、図52に示すように、例えれば分解能pビットの画像データをp本の信号線で読み出すのを、上位p/2ビットと下位p/2ビットを分けて、2回に分けて読み出すようにする。このようにすることで、図53に示すように、撮像素子100のデータ信号線を半分に減らすことができるようになる。このときのタイミングを図54に示す。このとき、後段の回路にとって、より大きな影響力を持つビットから先に出力すると、後段の回路が簡素化される。

【0181】例えば、MSB (Most Significant Bit) が挙げられる。また、当然のことながら、pビットをq回に分けると、信号線はp/q本に減らすことができるようになる。

【0182】更に別の例を説明する。図55は、撮像素子100内に動きベクトルを計算する回路を持つ場合に、出力部108aには画像データと、動きベクトルデータの入力端子及び出力端子を持たせ、撮像素子からは画像データと別に動きベクトルを信号線で出力することができるようとした例である。

【0183】図56に出力タイミングを示す。この例では、動きベクトルデータをブロック単位で該当するブロックの画像データと同期させて出力させている。この動きベクトルデータは、例えば、H. 261やH. 263あるいはMPEG1、MPEG2、MPEG4などの規格に沿った動きベクトルの出力を行う。

【0184】図57は、画像データと動きベクトルデータを共通の信号線で出力する例である。共通化することで、撮像素子の信号線を減じることができる。インターフェイス部108の出力部108aに画像データ入力と動きベクトルデータを入力できるようにし、これらをデータ切替信号に応じて出力線に出力できるようにしたものであり、データ切替信号によりいずれかに切り替えるようにしたことで共通の信号線で両信号を出力できるようにしたものである。

【0185】図58は、図57の例に、更に信号の判別線を出力できるようにした例である。データ切替信号をバッファを介してインターフェイス部108より取り出すと共に、これを撮像素子100の端子に導き出すことでこれを実現している。タイミングの例を図59と図60に示す。図59は、同期信号にあわせて画像データと動きベクトルデータを切り替えるもので、この例では水平同期に合わせ、ブランкиングでない期間に画像データを出し、つづくブランкиング期間にその画像データの動きベクトルデータを出力するようしている。

【0186】図60は、画像データをブロック単位で出力し、これに続いて、そのブロックの動きベクトルを出力する例である。図58の例の場合、図59で示す同期信号を、データ判別線で出力しても良いし、図60で示すデータ切り替え信号を、データ判別線で出力しても良い。

【0187】図57の例では、図示していない外部のデータ判別信号を用いる必要がある。図59と図60では、動きベクトルデータを、対応する両像データの後ろにおいていたが、画像データの前においてても、あるいは途中においてもかまわない。

【0188】図61は、撮像素子100に設けたコマンド入力端子であるコマンドビンを、入出力形にし、撮像素子100内におけるインターフェイス部108にコマンドデコーダ108bとステータスレジスタ108cを設けた例である。ステータスレジスタ108cはその中身をステータスリード信号により読み出すことができるよう構成しており、外部からステータスリード信号を与えることで、これを行う。コマンドによって変更可能な

フレームレート、読み出し順序、撮像素子100内部の信号処理方法、圧縮非圧縮、あるいは出力画素数や出力形式などの状態をステータスレジスタ108cに記憶しておき、この状態を外部から読み出すことができるようとした例である。

【0189】このようにすることで、撮像素子100を用いるシステム側で、当該撮像素子100の状態をチェックすることができるシステム構成となる。

【0190】図62は、インターフェイス部108において、出力画像データ信号線とコマンド信号線を兼用した例である。兼用することによって、撮像素子100の信号線数を減じることが可能で、これはコストダウンにつながる。兼用のため、信号線は入出力線となる。

【0191】データの入出力を判別する1手段として、画像データ出力の合間にコマンドデータを撮像素子に書き込む手段が考えられる。

【0192】図63は、同期信号のブランディング時に、コマンドの入力を可能とした例、図64は、データの出力を判別する信号線を用意した例であり、このタイミングを図65に示す。撮像素子100にはコマンドライト信号端子を設け、撮像素子100に内蔵されるインターフェイス部108のコマンドデコーダ108bにはコマンドライト信号端子からのコマンドライト信号が入力される構成としてあり、コマンドデコーダ108bはこのコマンドライト信号を受けた時に、コマンドが入力されたことを認識するように構成されている。

【0193】これは本発明の撮像素子100が、画像データ出力とコマンド入力を共用の端子で行う構成とした場合に、コマンド入力を確実にインターフェイス部108に受け渡すことができるようとする処置である。

【0194】この構成によれば、画像データを出力しているときには、出力状態を表す信号を撮像素子100から出力し、両像データを出力していないときは、コマンドデータを書き込み可能である。撮像素子100を用いるシステムは、この信号をチェックして、画像データの出力がない時にコマンドを書き込む。

【0195】図66は、撮像素子100において、画像データ、コマンド、ステータスの信号線を共通化した例である。インターフェイス部108はステータスレジスタ108cを持ち、撮像素子100にはステータスリード信号端子を設けてここにステータスリード信号を入力する。ステータスリード信号はステータスレジスタ108cに入力され、これを受けるとステータスレジスタ108cは保持しているステータス情報を外部に出力する構成とする。

【0196】図66の構成の場合、画像データの出力中か否かを示すデータ判別線と、コマンドライト信号線及びステータスリード信号線をもち、共通線を用いて、画像データの他コマンドデータの書き込みとステータスデータの読み出しを行うことができる。このときのタイミ

ングの例を図67に示す。

【0197】このタイミングに示すように画像データの出力していない間に、コマンドの書き込みか、ステータスの読み出しが可能であり、コマンドの書き込み要求と、ステータスデータの読み出し要求は、画像データの出力中は無効となる。

【0198】図68は、画像データの読み出し、コマンドの書き込み、ステータスの読み出しを全て、撮像素子100外のシステム側から行うようにするものである。前述したように撮像素子100内に記憶機能を持たせるようになると、システム側は、撮像素子100を動作させているタイミング信号を気にせず、任意の時間に画像データの読み出しが可能となる。このときのタイミングの例を図69に示す。データの書き込みあるいは読み出しの要求以外では、撮像素子のデータ出力は、高インピーダンスとなる。この構造は、コンピュータから撮像素子100をアクセスするのに向いている。

【0199】図70は、撮像素子100内に素子情報記録部109を設け、ここに撮像素子自体の特性や仕様を記憶し、インターフェイス部108を介してこれを撮像素子100の外部から読み出すことができるようとした撮像素子の例である。特性や仕様の例として、撮像素子100の画素数、1画素の縦横比、色フィルタ配列、信号処理方法、出力データ形式、1秒あたりのフレーム数などが考えられる。システムは、この情報を元に撮像素子100の設定、出力されるデータの処理を行うことができる。

【0200】以上は図1の基本構成の撮像素子について述べたが、各具体例については、A/D部やデジタル信号処理部107がない構成の撮像素子100でも実施可能である。このときの構成図を図71に示す。画像信号の出力はアナログであり、コマンドをうけるデジタル入力端子を持つ構成である。

【0201】以上、本発明は撮像機能ばかりでなく、周辺回路を内蔵して画像の種々の処理を施すことを可能にし、また、これらはコマンドで指示して実施させることができるようにした高機能な撮像素子を提供することができる。

【0202】

【発明の効果】以上の発明により、本撮像素子は、これを用いるシステムの要求に応じた出力が可能となり、システム全体の部品点数の低下、既存のシステムへの容易な対応、あるいは撮像素子自体のコストダウン、複数のシステムへの対応可能などの効果が得られる高機能な撮像素子を提供できる。

【図面の簡単な説明】

【図1】本発明の固体撮像素子の基本的な構成を説明するブロック図

【図2】図1で示した撮像素子のタイミング発生部の構成例を示すブロック図。

【図3】本発明の撮像素子におけるタイミング発生部の別の構成例を示すブロック図。

【図4】図3で示したタイミング発生部を含んだ固体撮像素子のブロック図。

【図5】図1で示したデジタル信号処理部の構成例。

【図6】本発明の撮像素子におけるデジタル信号処理部の別の構成例を示すブロック図。

【図7】本発明の撮像素子におけるデジタル信号処理部の別の構成例。

【図8】本発明の撮像素子におけるデジタル信号処理部の構成を一般化したブロック図。

【図9】固体撮像素子からの複数の読み出し方法を説明する図。

【図10】出力コマンドによって、画像信号を出力する様子を説明するタイミングチャート。

【図11】出力コマンドによって、画像信号を出力する別の具体例の様子を説明するタイミングチャート。

【図12】コマンドによって、画像信号出力レートを切り替える具体例を説明するタイミングチャート。

【図13】本発明の固体撮像素子を内蔵するパーソナルコンピュータの外観図。

【図14】本発明の固体撮像素子を接続するパーソナルコンピュータの外観図。

【図15】固体撮像素子とパーソナルコンピュータ間の接続を説明する図。

【図16】固体撮像素子を用いる動画像符号化装置の構成図。

【図17】本発明の固体撮像素子を内蔵する携帯型情報機器の外観図。

【図18】固体撮像素子を用いる携帯型情報機器のブロック図。

【図19】固体撮像素子の画素読み出し順序を説明する図。

【図20】固体撮像素子の別の画素読み出し順序を説明する図。

【図21】画素の読み出し順序を切り替えるタイミング発生部のブロック図。

【図22】画素のサブサンプル読み出しを説明する図。

【図23】画素のサブサンプル読み出しが可能なタイミング発生部のブロック図。

【図24】画素の選択読み出しが可能な固体撮像素子を説明する図。

【図25】画素の選択読み出しを説明する図。

【図26】電子シャッタ設定をコマンドで行う様子を説明する図。

【図27】電子シャッタ設定を変更する様子を説明する図とタイミングチャート。

【図28】電子シャッタをブロック単位で設定する様子を説明する図とタイミングチャート。

【図29】タイミング発生部の1構成例。

【図30】動画像データ圧縮回路と動きベクトル検出部を含む固体撮像素子の構成図。

【図31】動きベクトル検出部を持つ固体撮像素子の構成例。

【図32】図30の固体撮像素子のデジタル信号処理部の1例の構成図。

【図33】図31の固体撮像素子のデジタル信号処理部の1例の構成図。

【図34】動きベクトル検出部を持つ固体撮像素子のエリアセンサ部の画素構成例。

【図35】固体撮像素子のデジタル信号処理部の別の例の構成図。

【図36】固体撮像素子のデジタル信号処理部の別の例の構成図。

【図37】手ぶれセンサと固体撮像素子を持つ携帯型情報機器の構成例。

【図38】図37の構成を持つ携帯型情報機器に使用される固体撮像素子のデジタル信号処理部の構成例。

【図39】手ぶれセンサと固体撮像素子を持つ携帯型情報機器の別の構成例。

【図40】動きベクトル検出部を持つ固体撮像素子の別の具体例。

【図41】動きベクトル検出部を持つ固体撮像素子の別の具体例。

【図42】動きベクトル検出部を持つ固体撮像素子の別の具体例。

【図43】動きベクトル検出部を持つ固体撮像素子の別の具体例。

【図44】固体撮像素子のインターフェイス部の具体例。

【図45】固体撮像素子のインターフェイス部の別の具体例。

【図46】図45の構成例のタイミングチャート。

【図47】固体撮像素子のインターフェイス部の別の具体例。

【図48】図47の構成例のタイミングチャート。

【図49】固体撮像素子のインターフェイス部の別の具体例。

【図50】固体撮像素子のインターフェイス部の別の具体例。

【図51】図49と図50の構成例のタイミングチャート。

【図52】固体撮像素子のインターフェイス部の別の具体例。

【図53】固体撮像素子のインターフェイス部の別の具体例。

【図54】図52と図53の構成例のタイミングチャート。

【図55】固体撮像素子のインターフェイス部の別の具体例。

【図56】図55の構成例のタイミングチャート。

【図57】固体撮像素子のインターフェイス部の別の具体例。

【図58】固体撮像素子のインターフェイス部の別の具体例。

【図59】図57あるいは図58の構成例のタイミングチャート。

【図60】図57あるいは図58の構成例の別のタイミングチャート。

【図61】固体撮像素子のインターフェイス部の別の具体例。

【図62】固体撮像素子のインターフェイス部の別の具体例。

【図63】図62の構成例のタイミングチャート。

【図64】固体撮像素子のインターフェイス部の別の具体例。

【図65】図64の構成例のタイミングチャート。

【図66】固体撮像素子のインターフェイス部の別の具体例。

【図67】図66の構成例のタイミングチャート。

【図68】固体撮像素子のインターフェイス部の別の具体例。

【図69】図68の構成例のタイミングチャート。

【図70】固体撮像素子の別の具体例の構成図。

【図71】固体撮像素子の別の具体例の構成図。

【図72】従来のCMOSセンサの構成例を説明するための図。

【図73】図72のCMOSセンサの動作を説明するタイムチャート。

【図74】最新のCMOSセンサのセル構成例を示す回路図。

【図75】図74のセルを用いた最新のCMOSセンサの構成例を説明する図。

【図76】垂直アドレス回路の構成例を示す図。

【図77】垂直アドレス回路の構成例を示す図。

【図78】垂直アドレス回路の構成例を示す図。

【図79】図75のCMOSセンサの動作を説明するタイミングチャート。

【図80】ノイズの軽減されたCMOSセンサの全体的な構成例を示すブロック図。

【符号の説明】

101…タイミング発生部

102…エリアセンサ部

103…垂直走査部

104…水平走査部

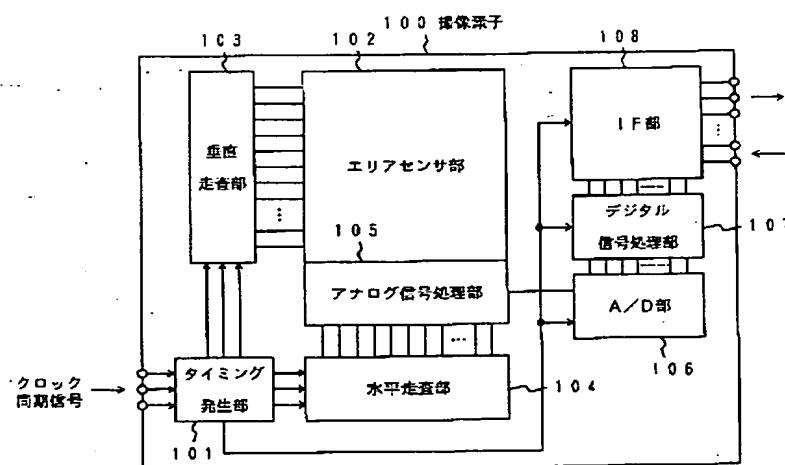
105…アナログ信号処理部

106…A/D変換部

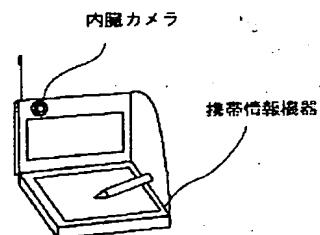
107…デジタル信号処理部

108…インターフェイス部

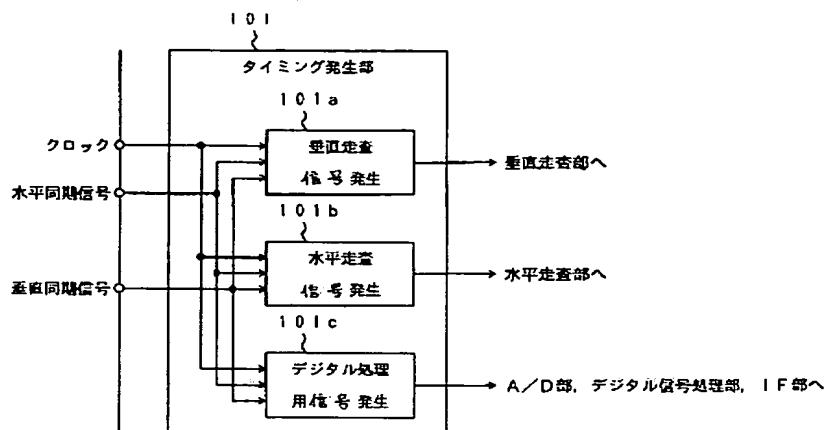
【図1】



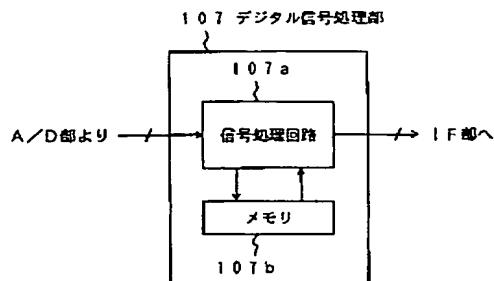
【図17】



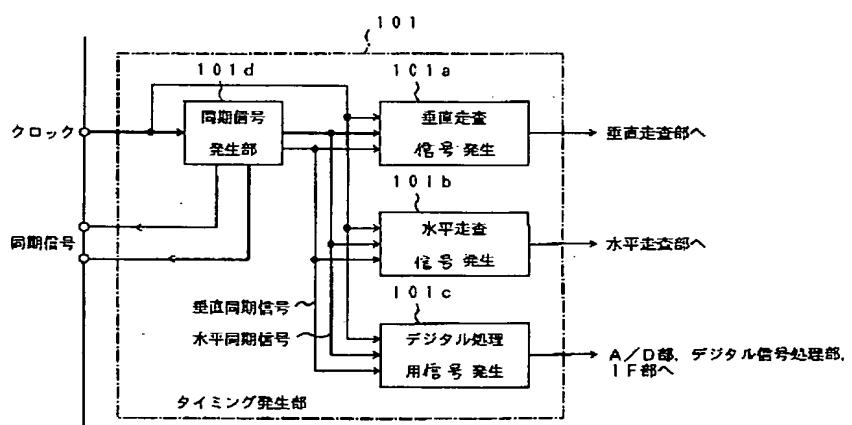
【图2】



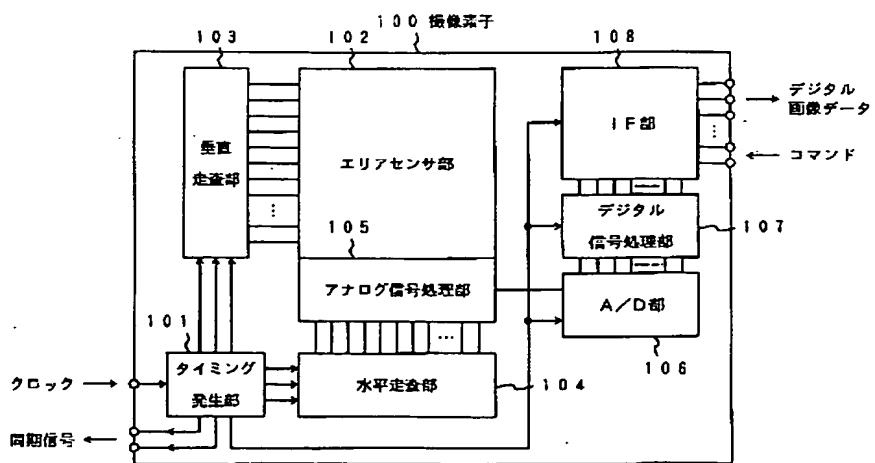
〔四五〕



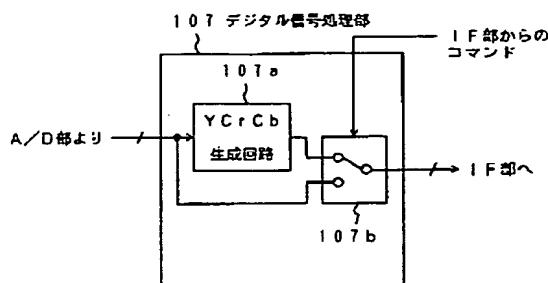
〔四三〕



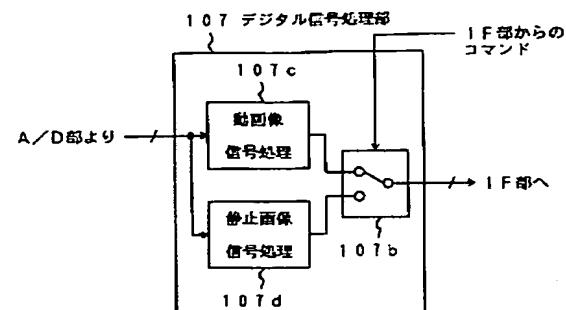
【图4】



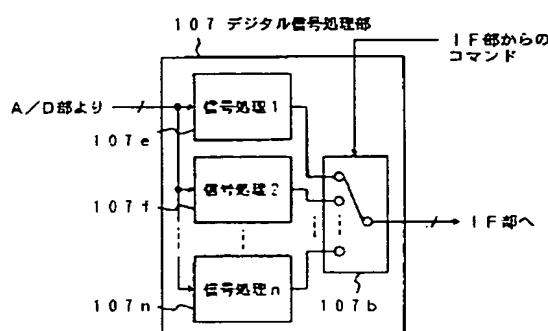
【図6】



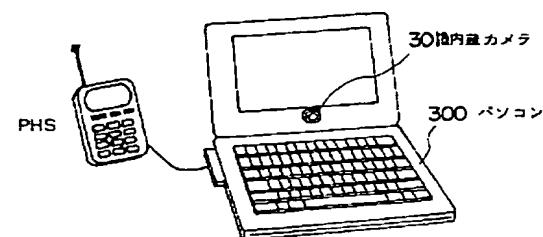
【図7】



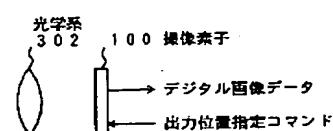
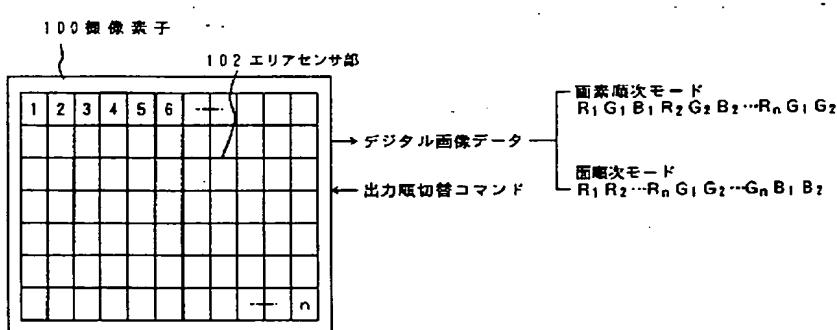
【図8】



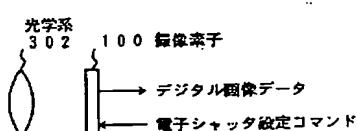
【図13】



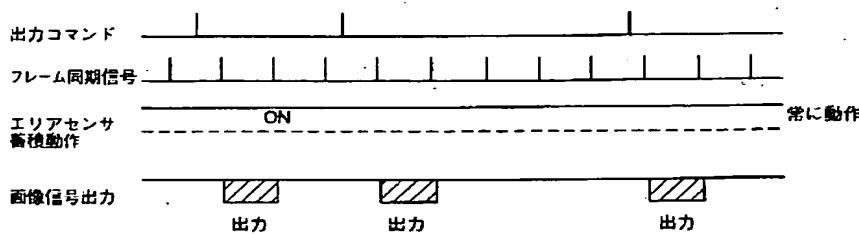
【図9】



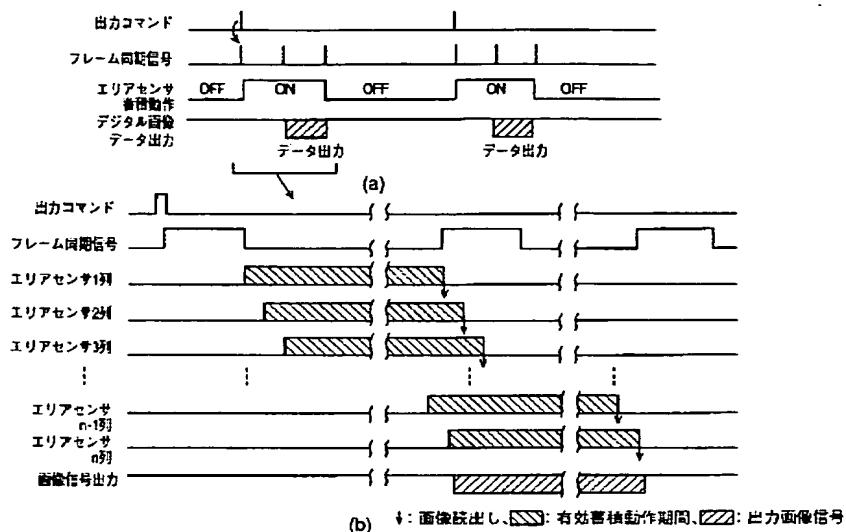
【図26】



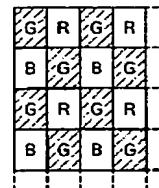
【図10】



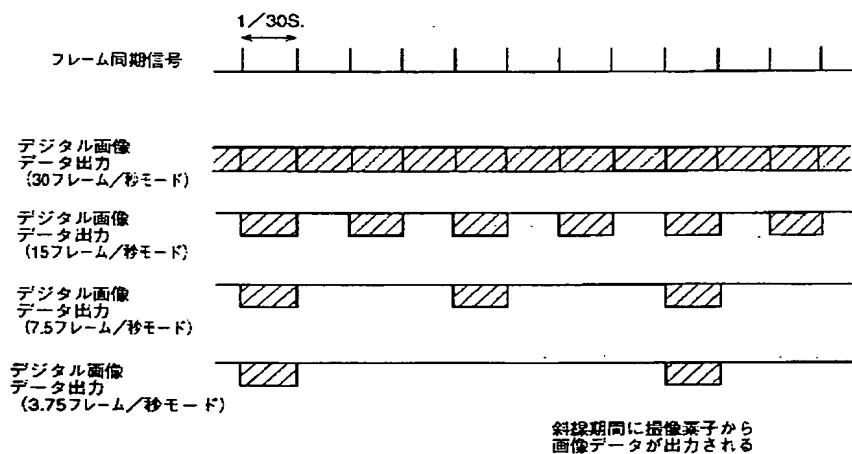
【図11】



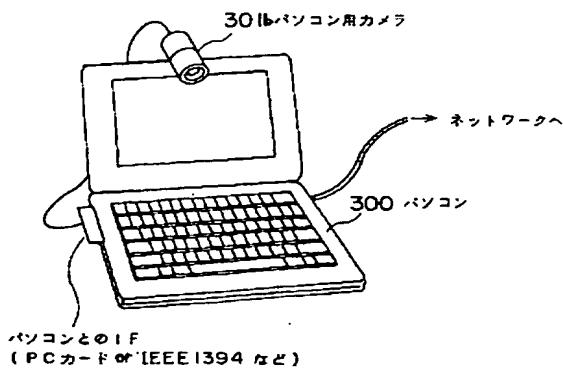
【図34】



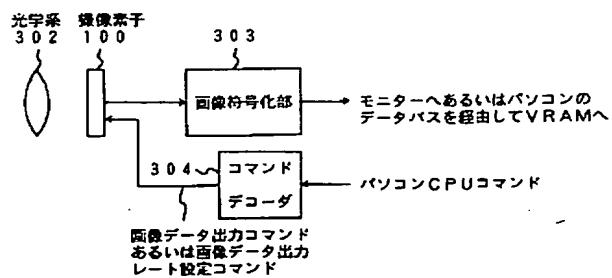
【図12】



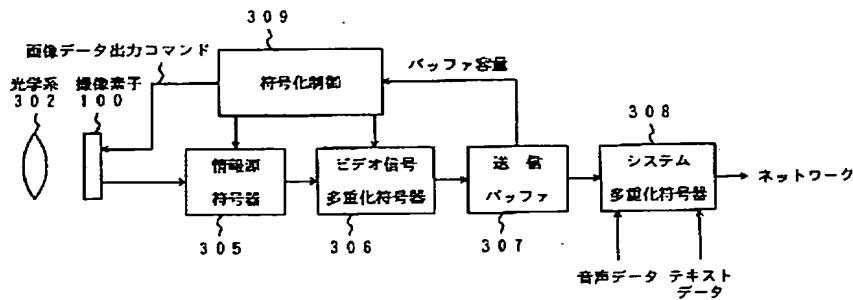
【図14】



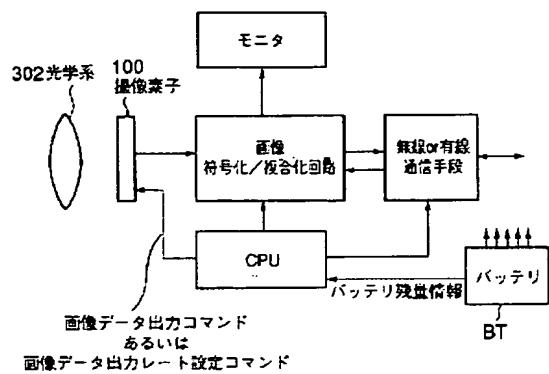
【図15】



【図16】



【図18】



【図19】



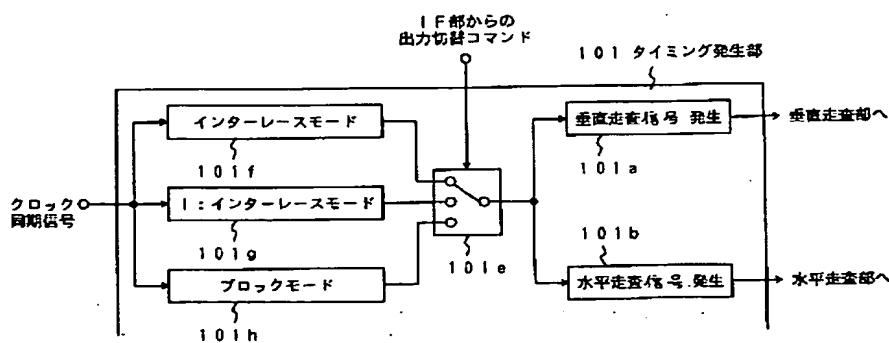
(a)



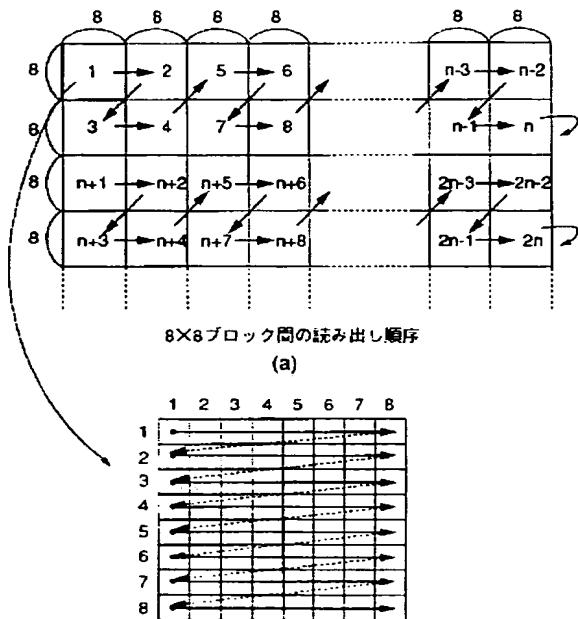
奇数列 → 偶数列 → 奇数列 → -

(b)

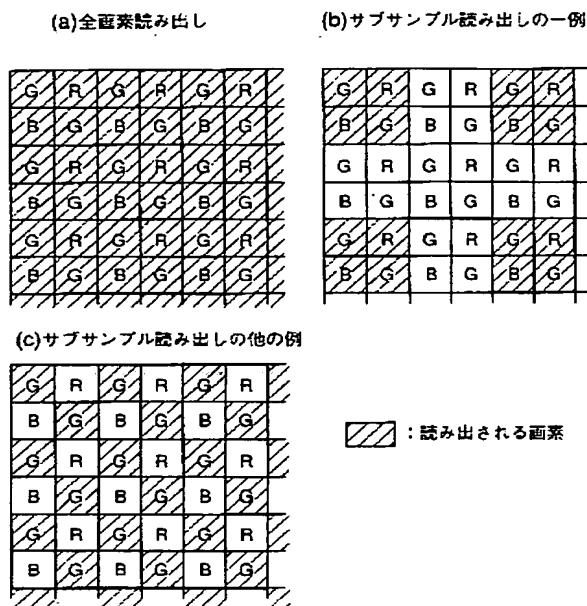
【図21】



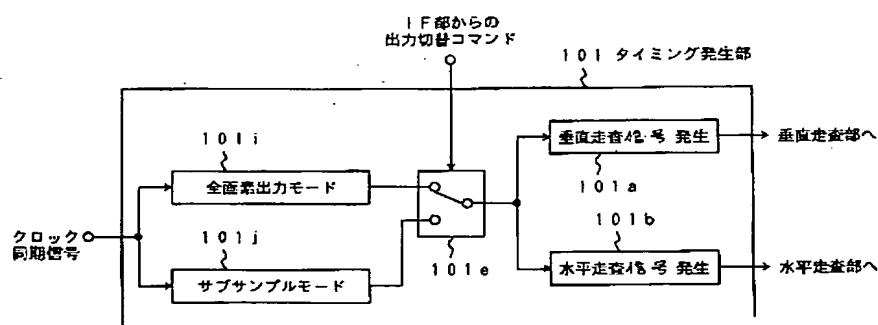
【図20】



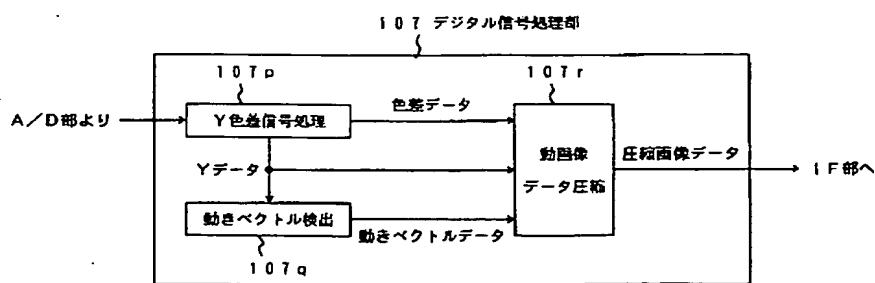
【図22】



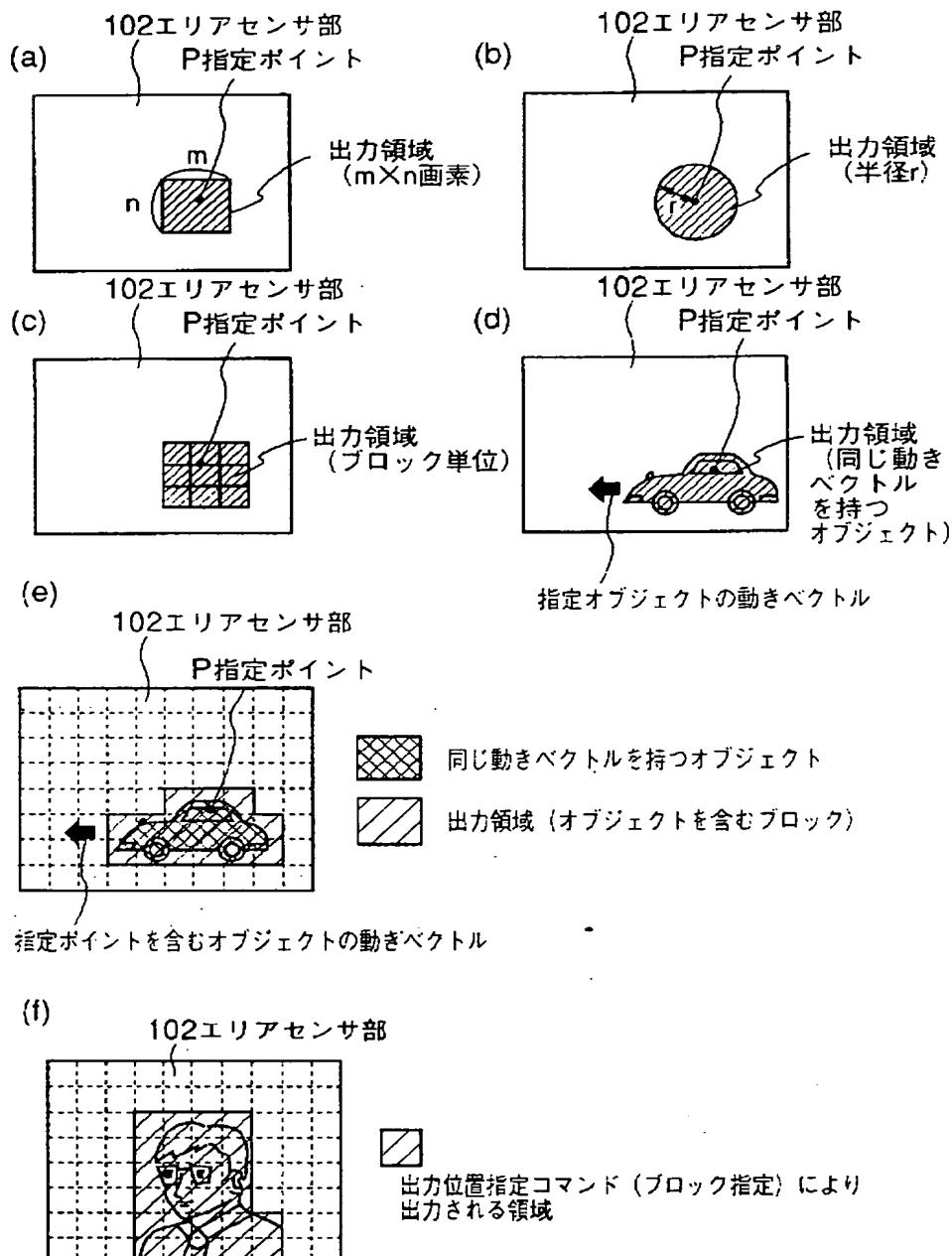
【図23】



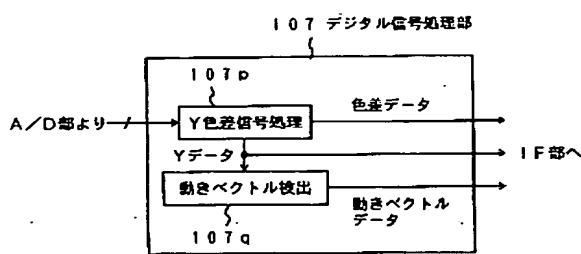
【図32】



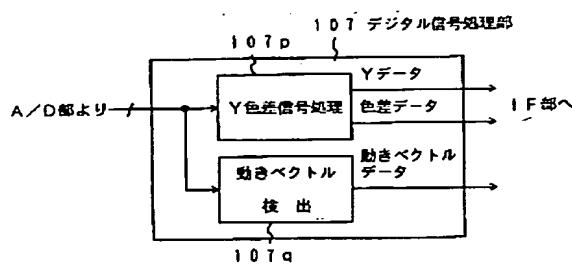
【図25】



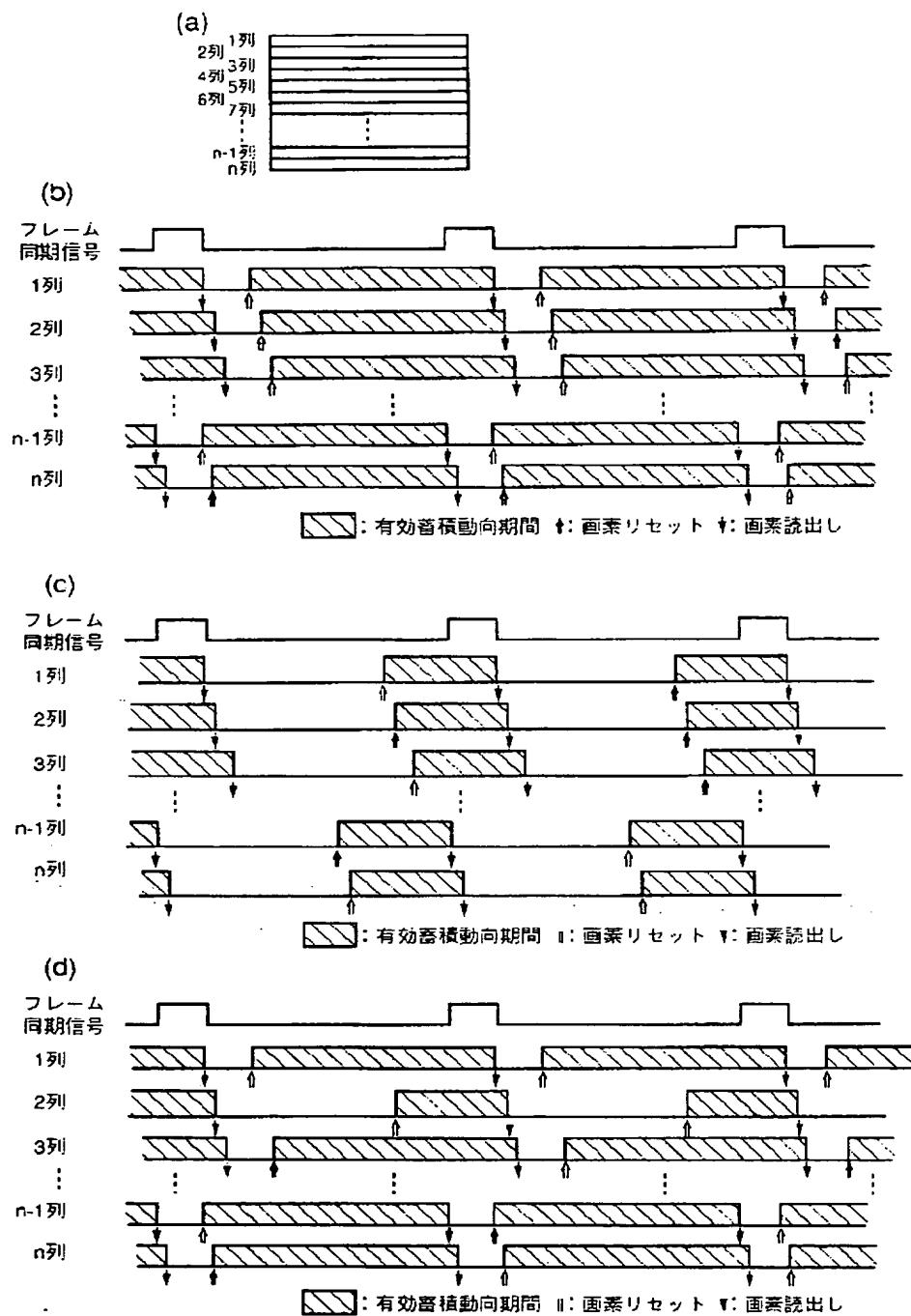
【図33】



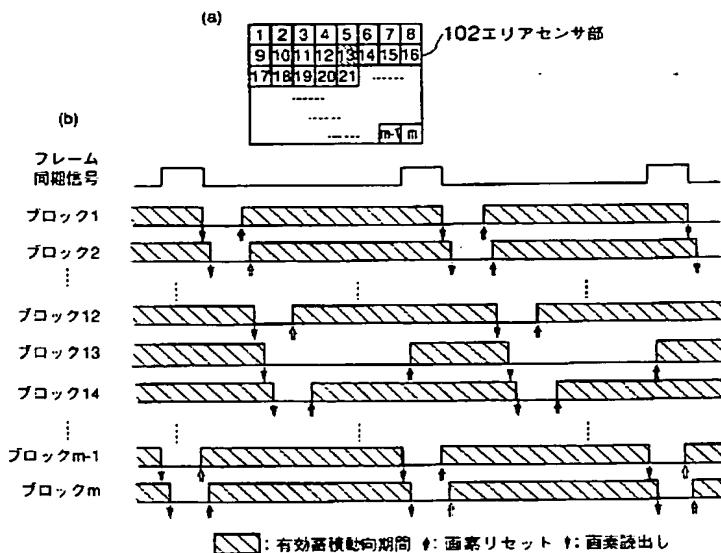
【図35】



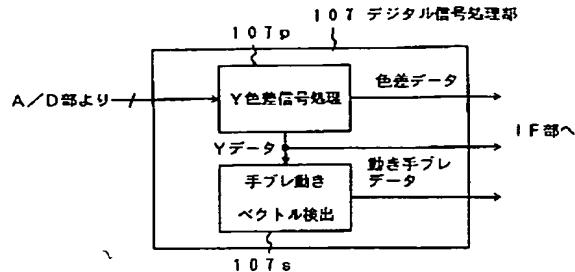
【図27】



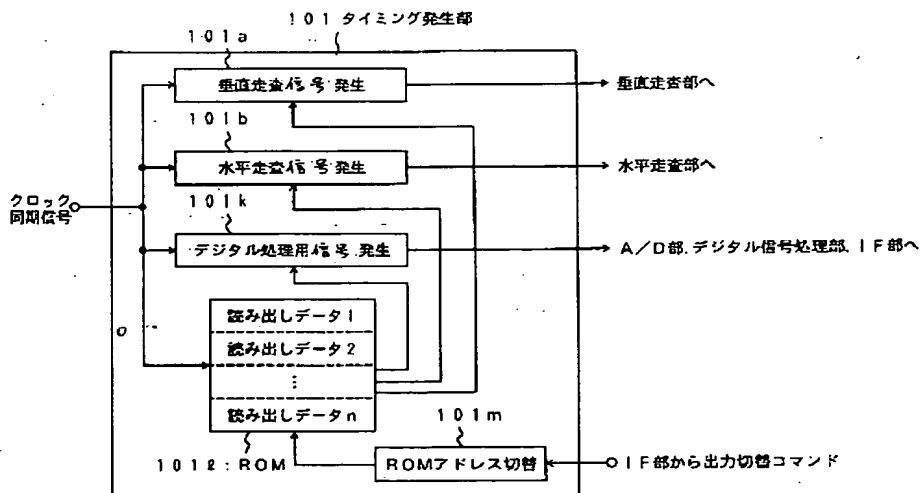
〔図28〕



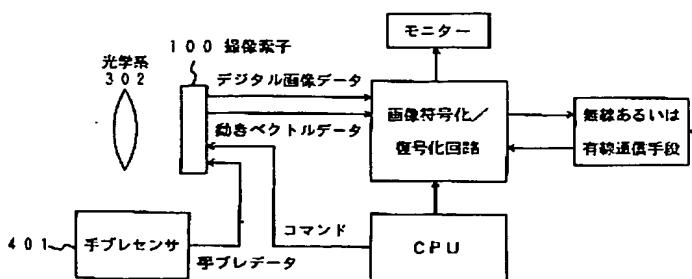
〔図36〕



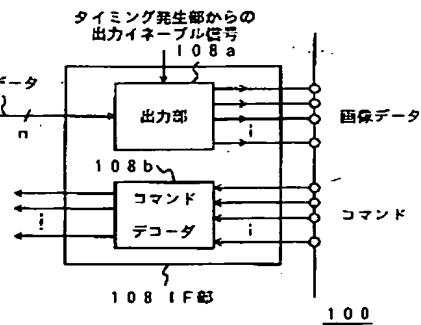
〔四二九〕



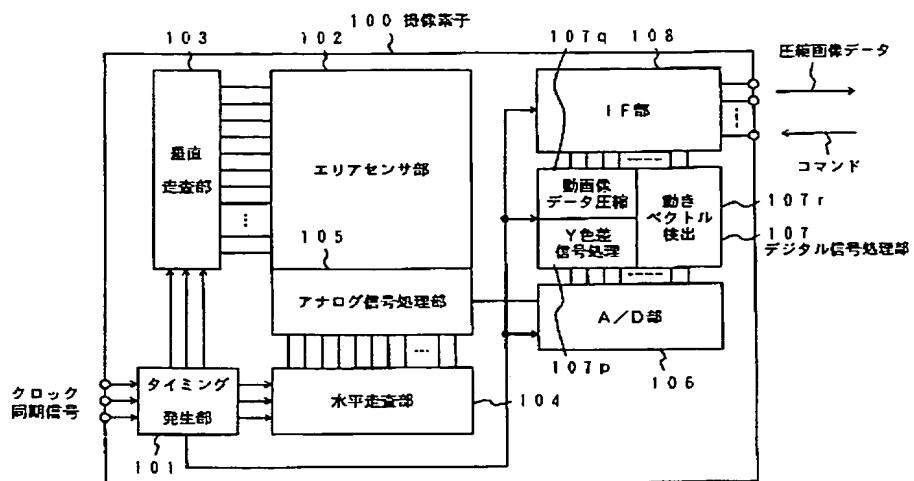
【图37】



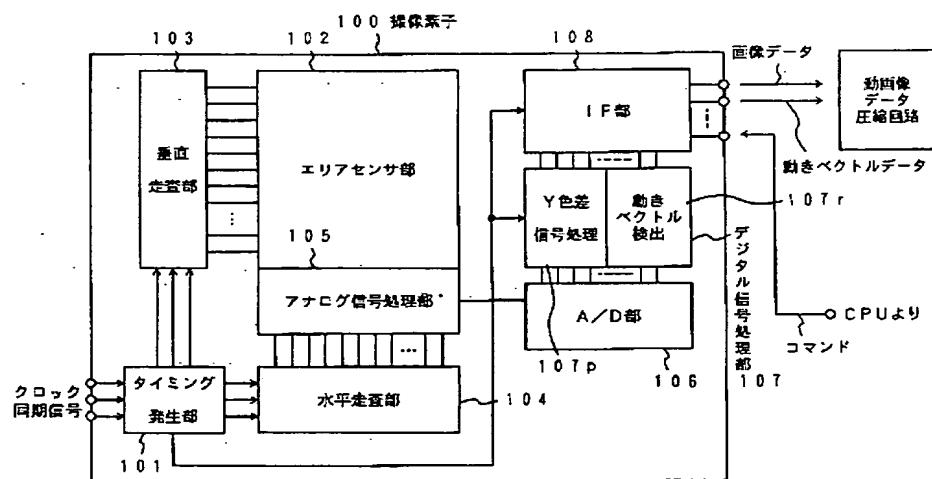
【図44】



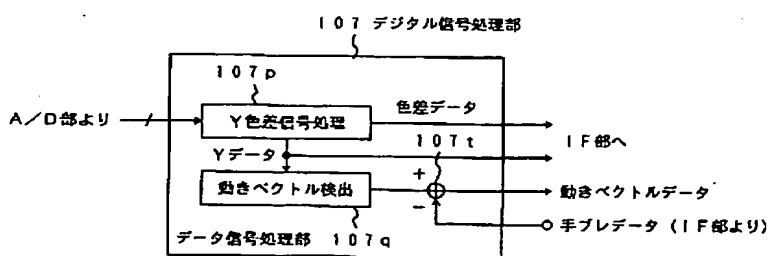
【図30】



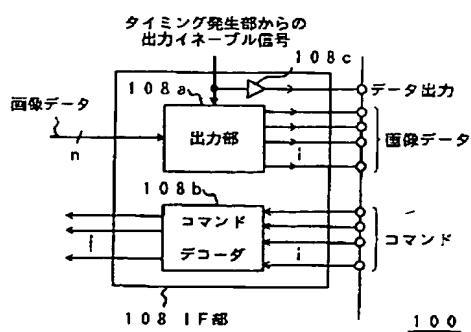
【図31】



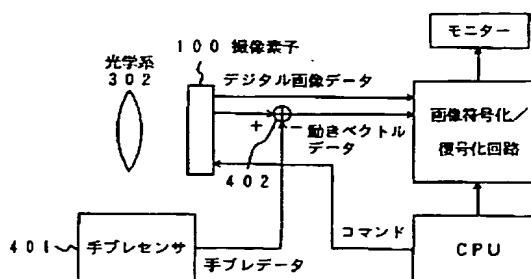
【図38】



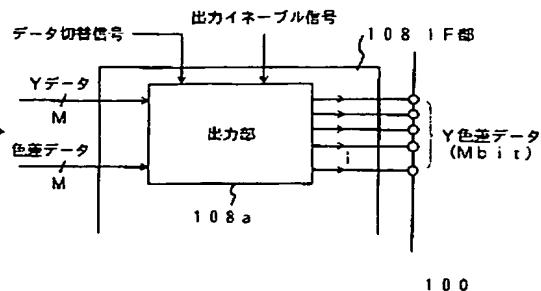
【図45】



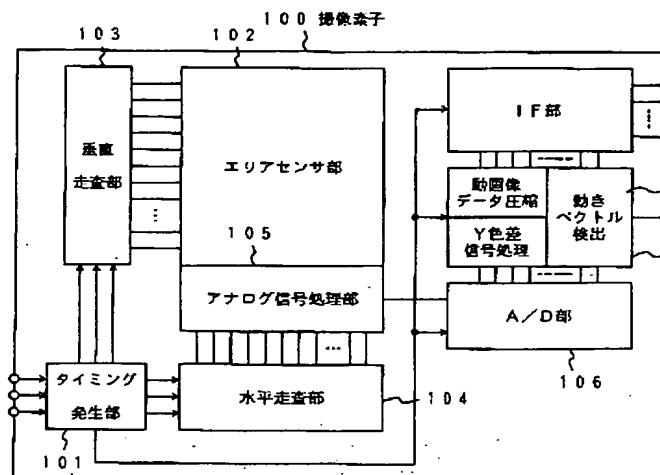
【图39】



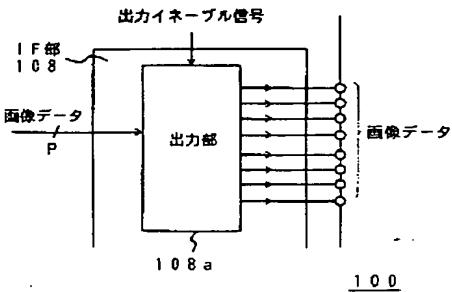
【図50】



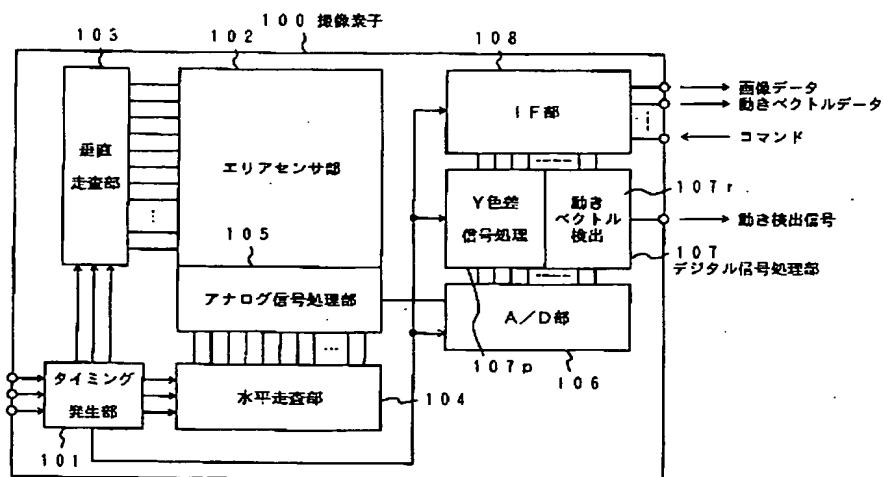
【图40】



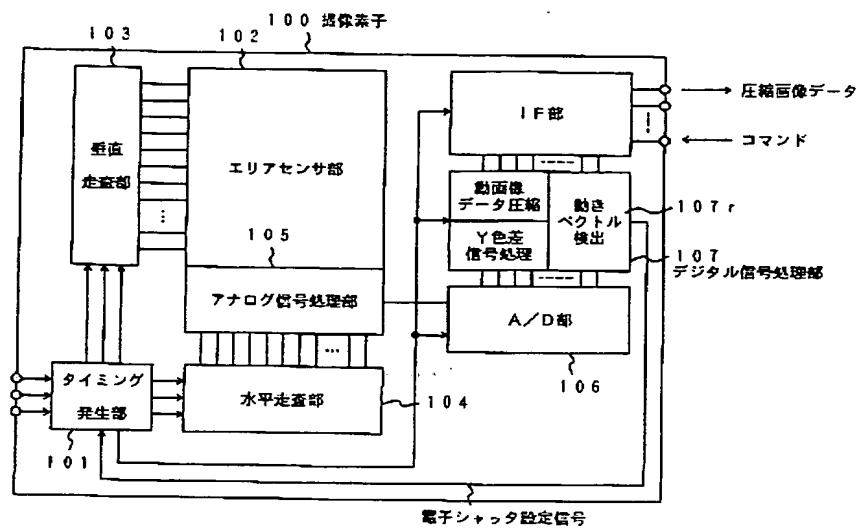
〔図52〕



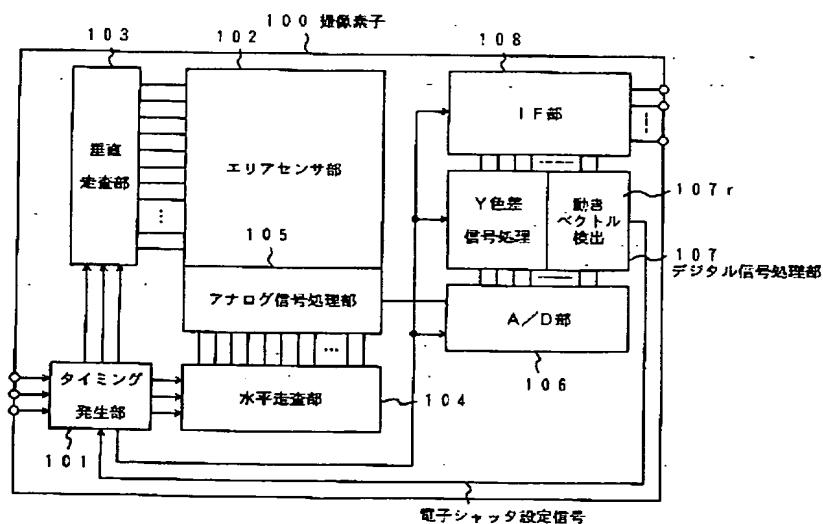
〔四〕



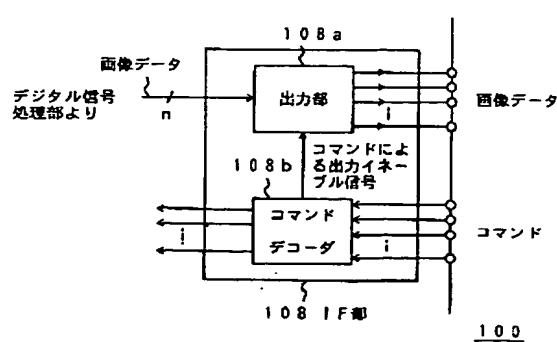
【図42】



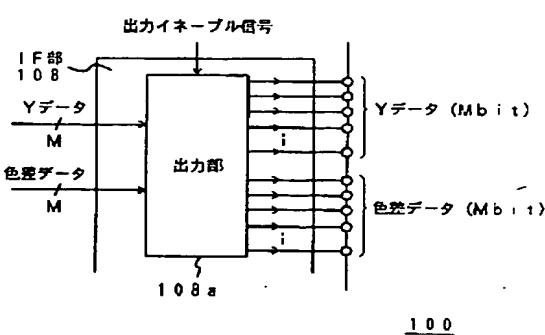
【図43】



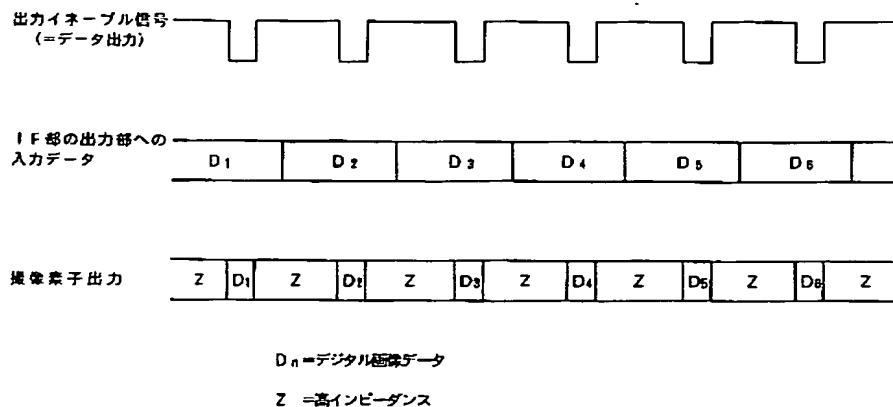
【図47】



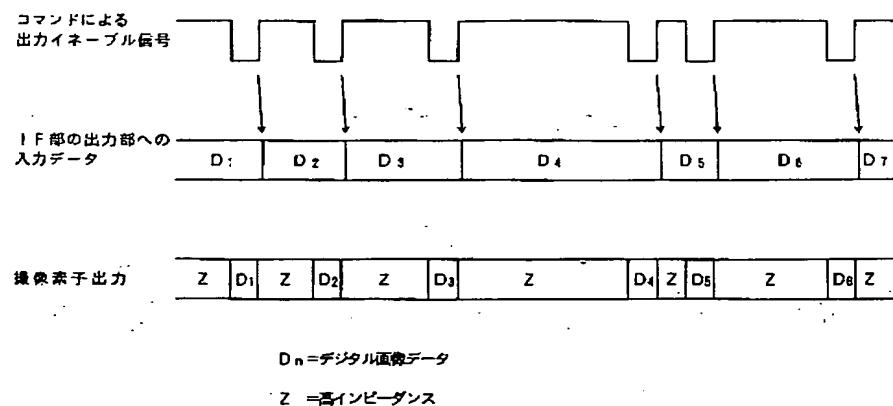
【図49】



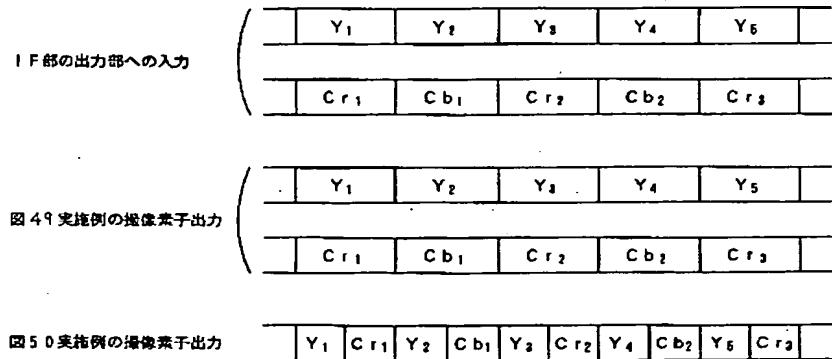
### 【四六】



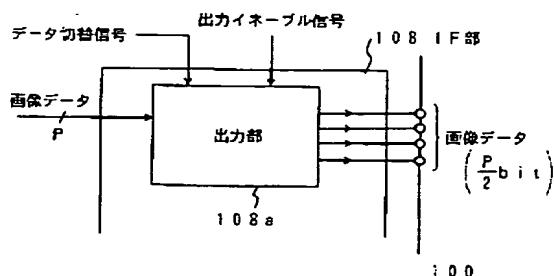
[図48]



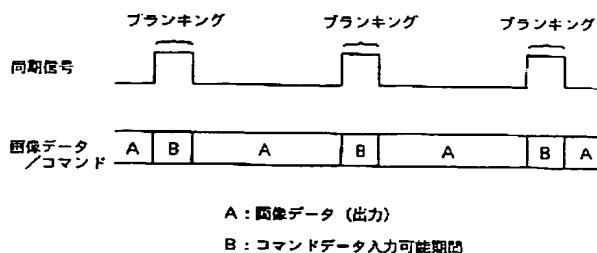
### 【図5.1】



【図53】



【図63】



【図54】

|             |                |                |                |                |                |
|-------------|----------------|----------------|----------------|----------------|----------------|
| IF部の出力部への入力 | D <sub>1</sub> | D <sub>2</sub> | D <sub>3</sub> | D <sub>4</sub> | D <sub>5</sub> |
|-------------|----------------|----------------|----------------|----------------|----------------|

|              |                |                |                |                |                |
|--------------|----------------|----------------|----------------|----------------|----------------|
| 図52実施例のIF部出力 | D <sub>1</sub> | D <sub>2</sub> | D <sub>3</sub> | D <sub>4</sub> | D <sub>5</sub> |
|--------------|----------------|----------------|----------------|----------------|----------------|

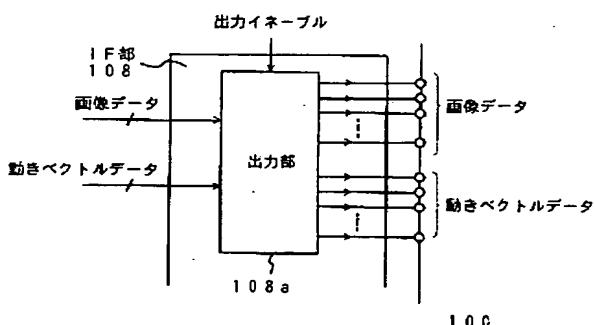
|              |                 |                 |                 |                 |                 |                 |                 |                 |                 |                 |
|--------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| 図53実施例のIF部出力 | D <sub>1u</sub> | D <sub>1d</sub> | D <sub>2u</sub> | D <sub>2d</sub> | D <sub>3u</sub> | D <sub>3d</sub> | D <sub>4u</sub> | D <sub>4d</sub> | D <sub>5u</sub> | D <sub>5d</sub> |
|--------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|

D<sub>n</sub> : 画像データ (Pビット)

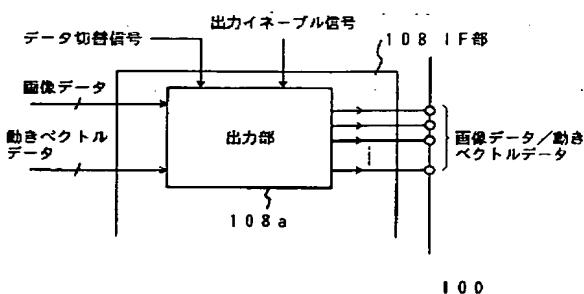
D<sub>nu</sub> : 画像データの上位  $\frac{P}{2}$  ビット

D<sub>nd</sub> : 画像データの下位  $\frac{P}{2}$  ビット

【図55】



【図57】



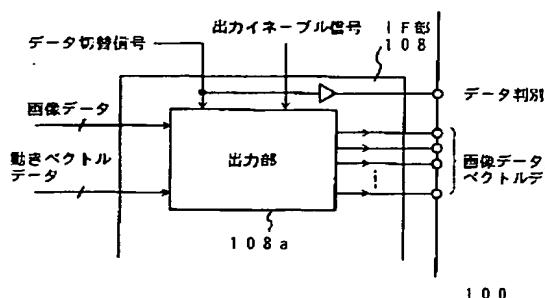
【図56】

|        |               |                 |                 |                 |                 |                 |                 |
|--------|---------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| 撮像素子出力 | 画像データ端子出力     | D <sub>b1</sub> | D <sub>b2</sub> | D <sub>b3</sub> | D <sub>b4</sub> | D <sub>b5</sub> | D <sub>b6</sub> |
|        | 動きベクトルデータ端子出力 | MV <sub>1</sub> | MV <sub>2</sub> | MV <sub>3</sub> | MV <sub>4</sub> | MV <sub>5</sub> | MV <sub>6</sub> |

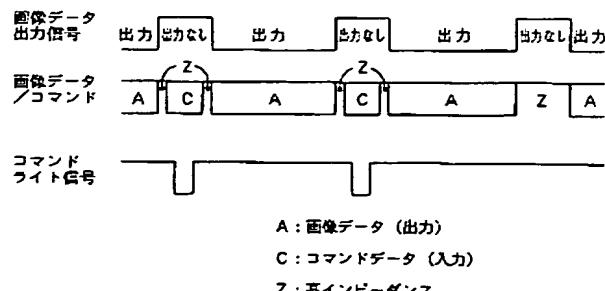
D<sub>bn</sub> : ブロック単位の画像データ

MV<sub>n</sub> : D<sub>bn</sub>の動きベクトルデータ

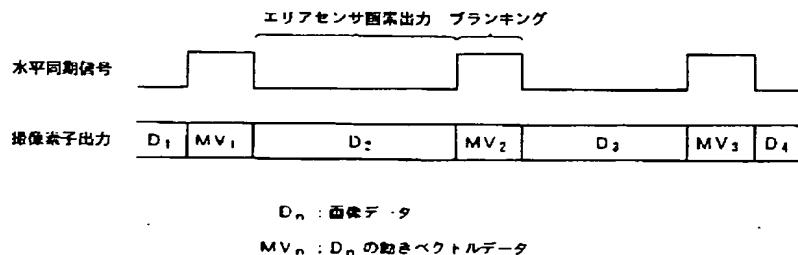
【四五八】



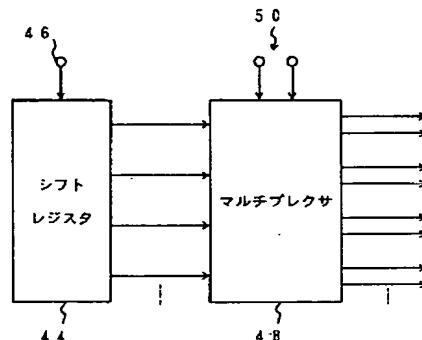
【图65】



〔图59〕



【図76】



【图6-6】

データ切替信号

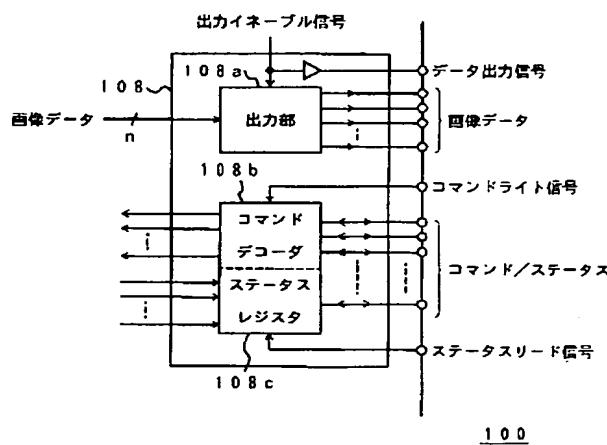
映像素子出力

$D_{b1}$   $MV_1$   $D_{b2}$   $MV_2$   $D_{b3}$   $MV_3$   $D_{b4}$   $MV_4$   $D_{b5}$

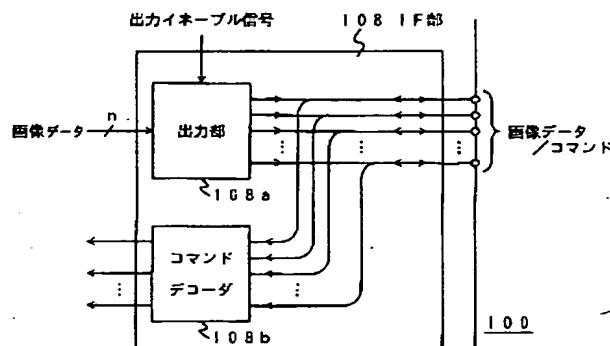
$D_{bn}$ ：ブロック単位の画像データ  
 $MV_n$ ：ローの動きベクトルデータ

$D_{bn}$ : ブロック単位の画像データ  
 $MV_n$ :  $D_{bn}$ の動きベクトルデータ

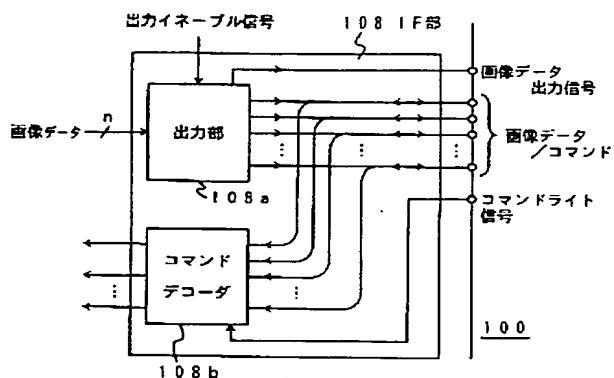
【图6.1】



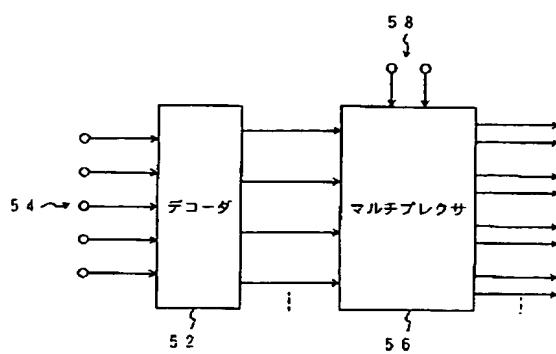
〔図62〕



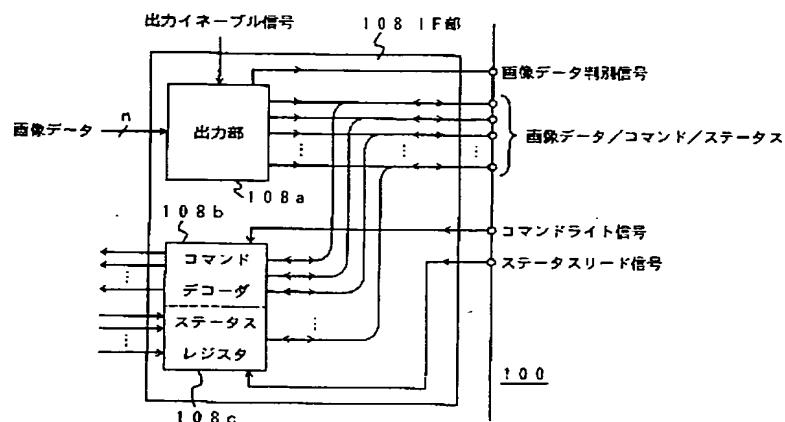
【図64】



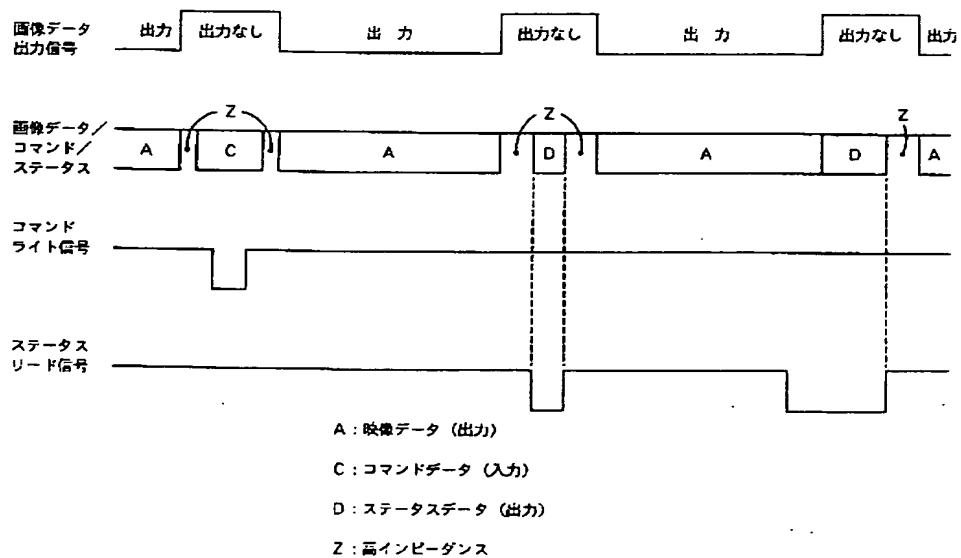
【図77】



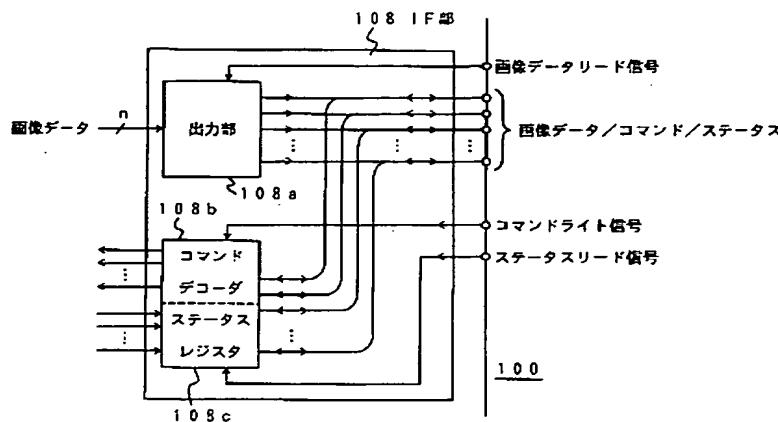
【図66】



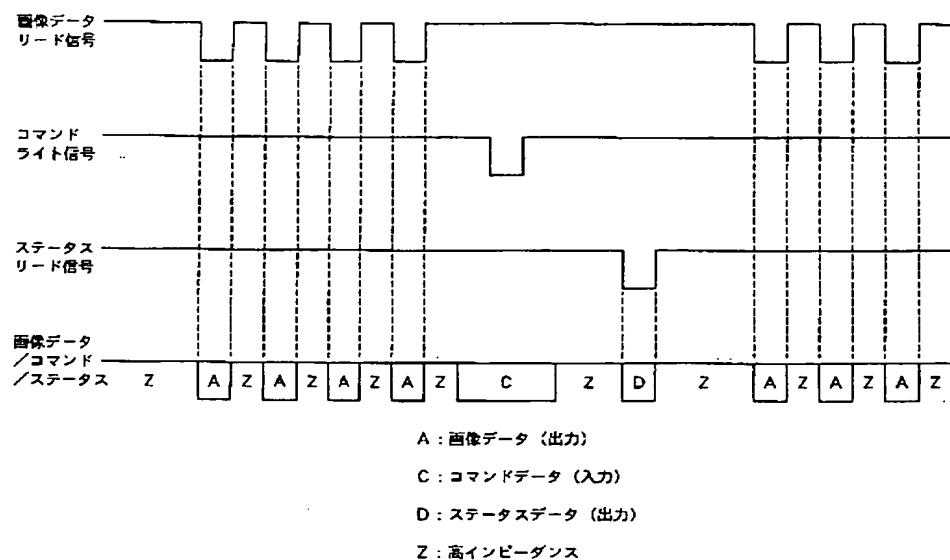
【図67】



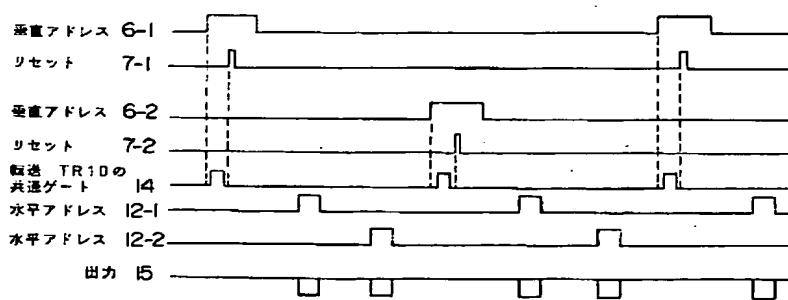
【図68】



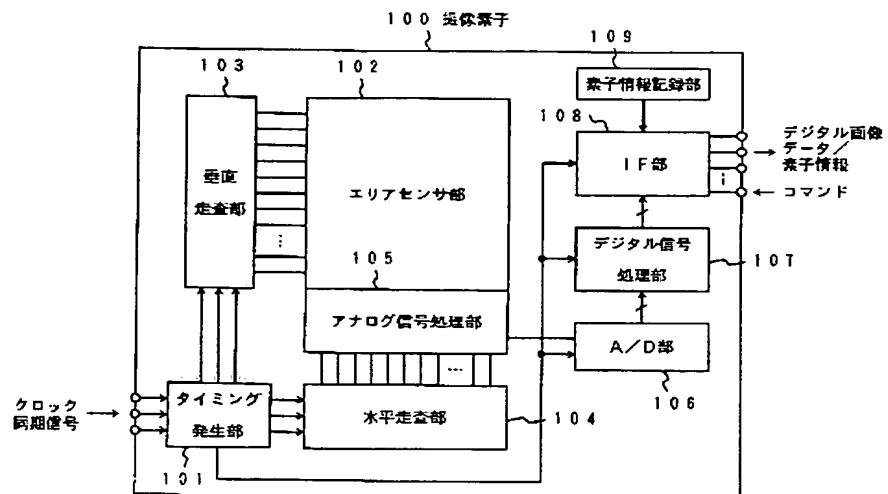
【図69】



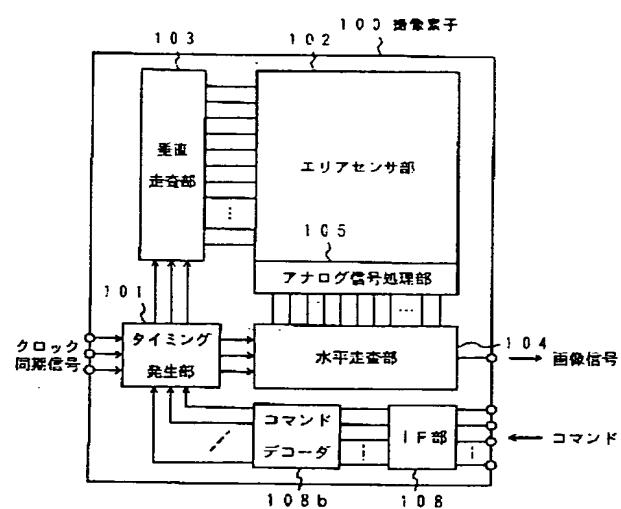
【図73】



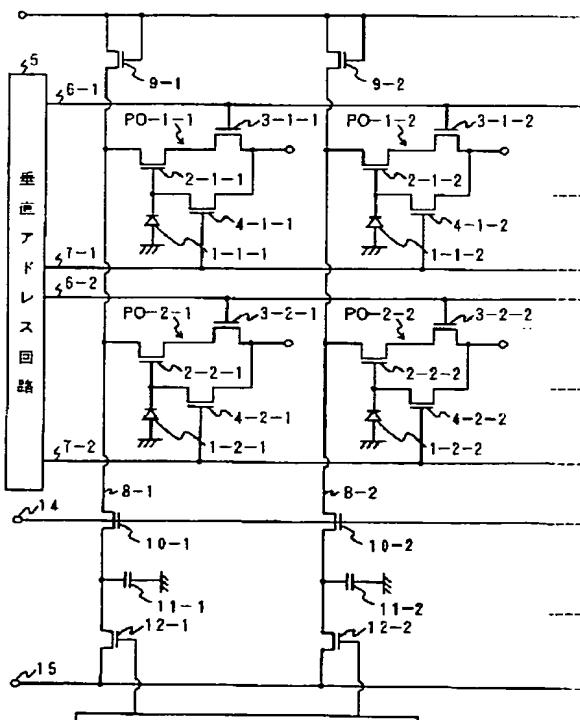
【図70】



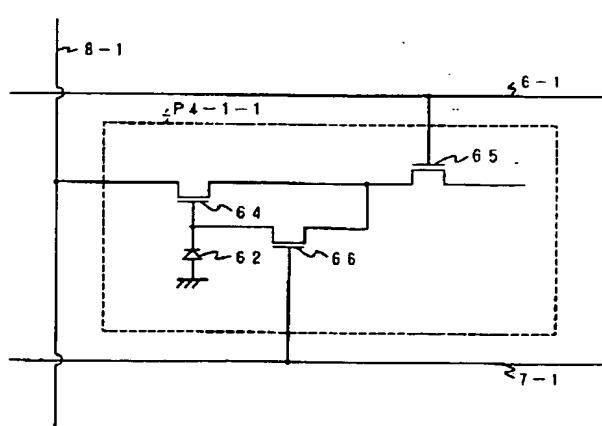
【図71】



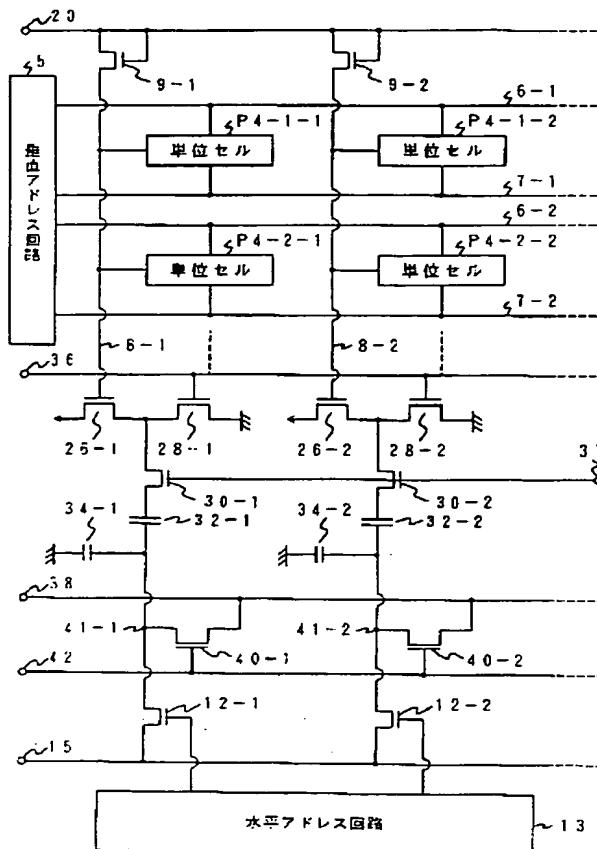
【図72】



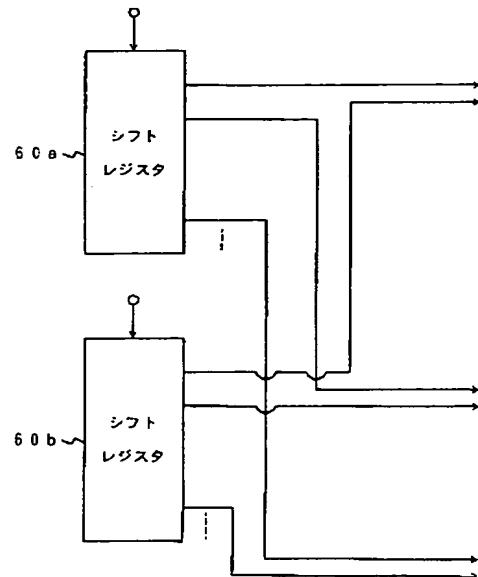
【図74】



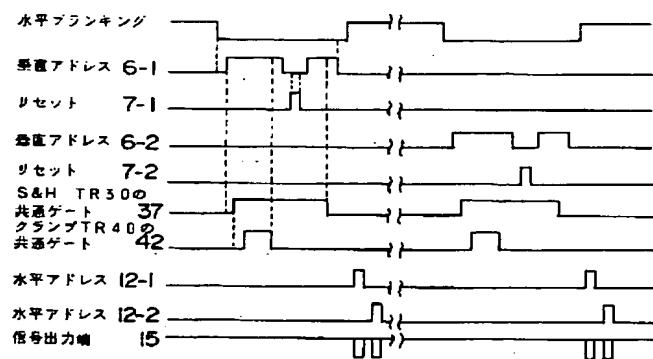
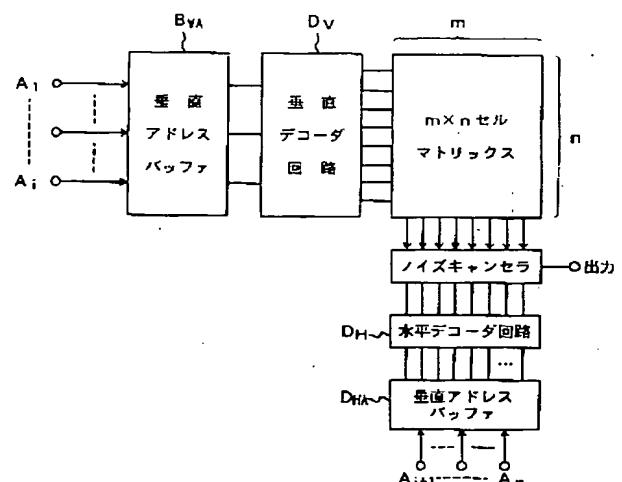
【図75】



【図78】



【図80】



THIS PAGE BLANK (00510)